

最終講義

# アナログ回路技術と実践的教育

2009年3月17日

広島大学先端物質科学研究科

岩 田 穆

# 講義内容

1. 研究の思想と経歴

2. アナログフィルタの集積化

3. CMOS-AD変換器

Cアレイ, MASH, チョツパアンプ, DeltAMP

4. AD混載LSIの雑音解析

5. ニューロ, ブレイン, ロボット

6. 三次元集積とインタコネクト技術

7. 実践人材育成プログラム

8. むすび

# 研究の思想と経歴

	1970 年代		1980 年代		1990 年代		2000 年代	
	1971	1976	1981	1986	1991	1996	2001	2005
	EB露光		NTT			X線リン	広島大学	
フィルタ	RC アクティブ	スイッチトキャパシタ		DSP				
ADC		逐次比較方式	並列比較				逐次(低電圧低電力)	
		Cアレイ型	オーバーサンプリング			VCO	HPF	CT
			MASH 方式			雑音解析		
AD融合ブレイン					PDL, ニューロチップ, ブレイン			
					光インタコネク			
					アナデジ融合	PWM	DeltAMP,DAD	
							ロボット, ビジョン	
							無線インタコネク	
								半導体バイオ

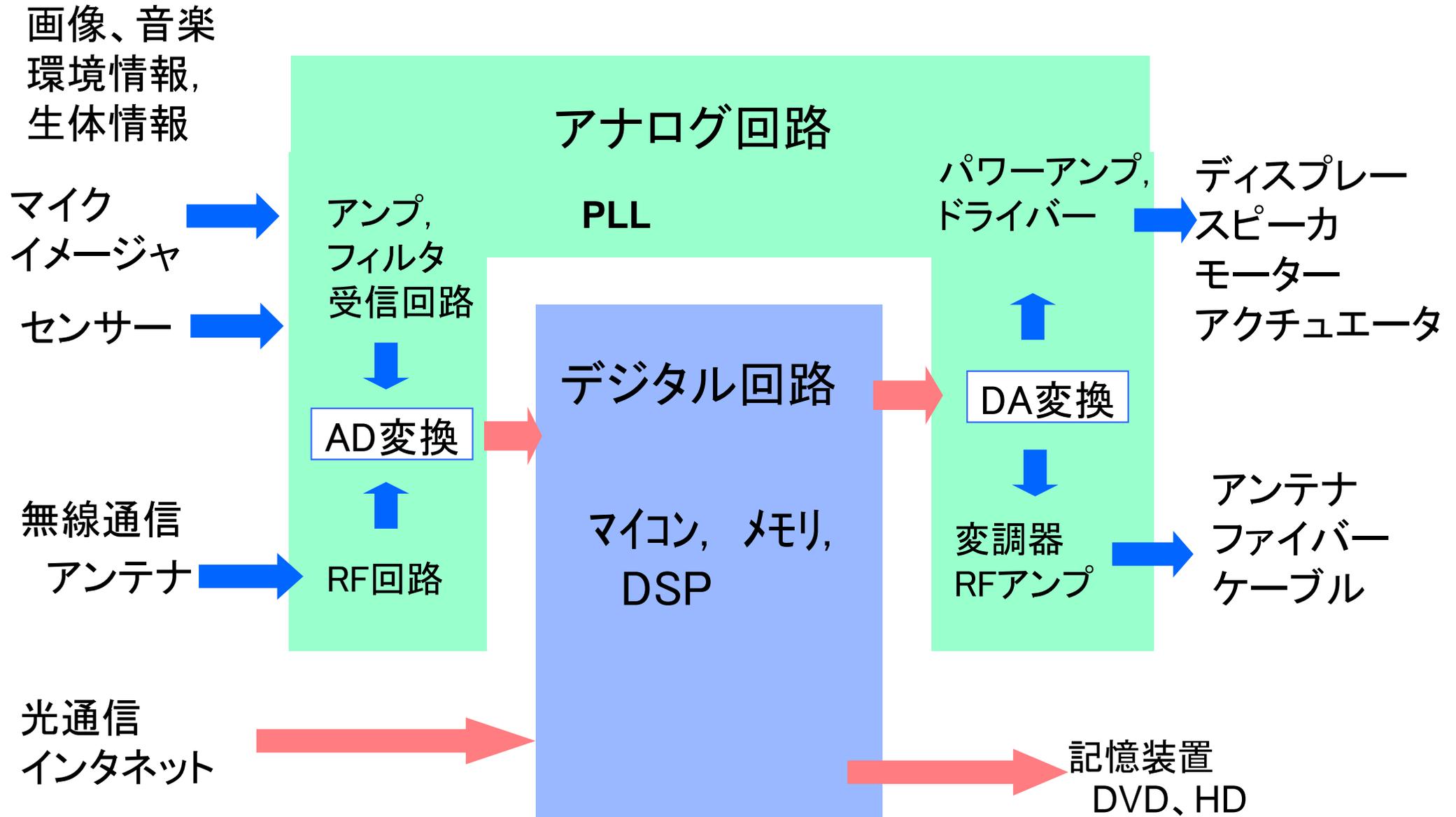
実用化

MF 受信器  
PB 受信器

1チップPCM  
CODEC LSI

SLIC,Audio 10Gbps  
ADC,DAC IC

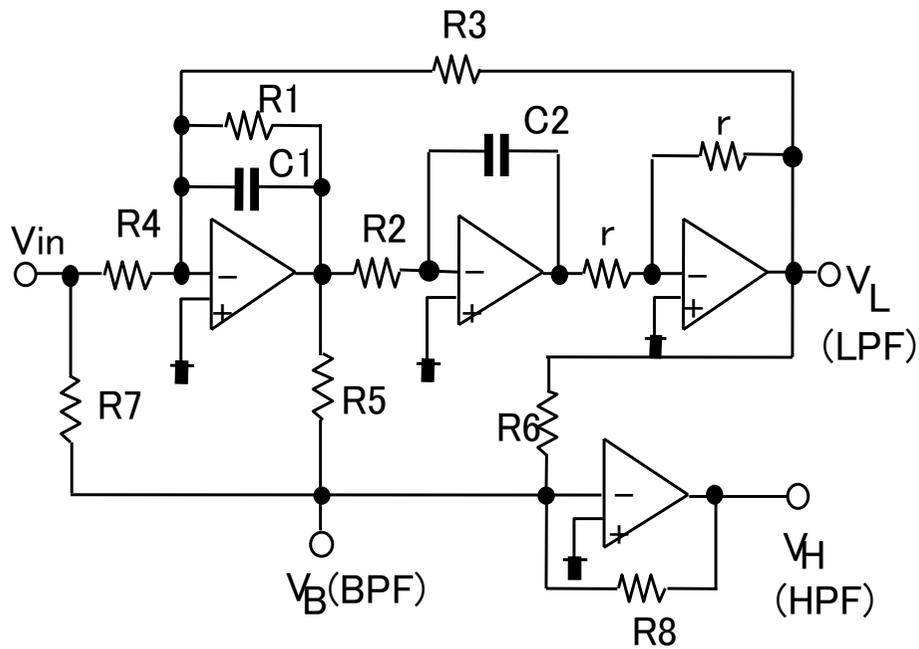
# アナログ・RF・デジタル搭載LSI



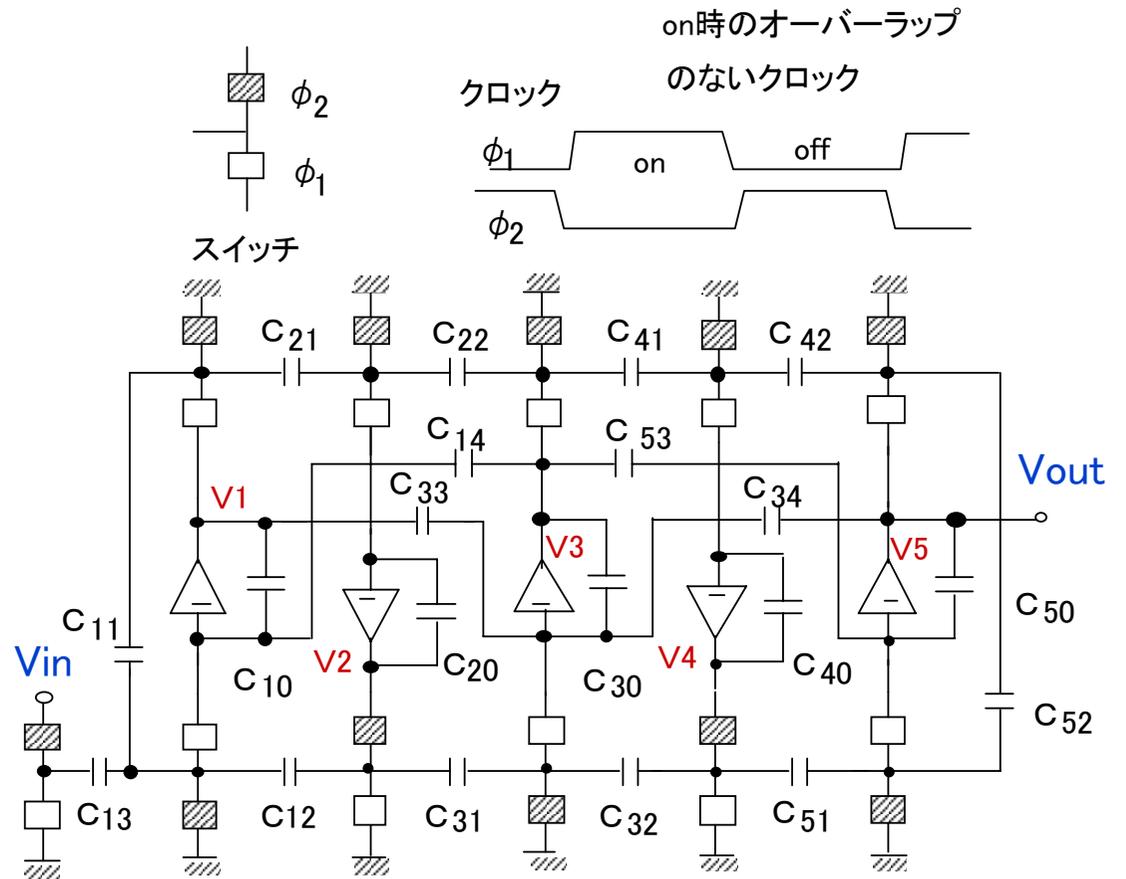
**回路機能の複合化→異種デバイス、センサー集積**

# アナログフィルタの集積回路

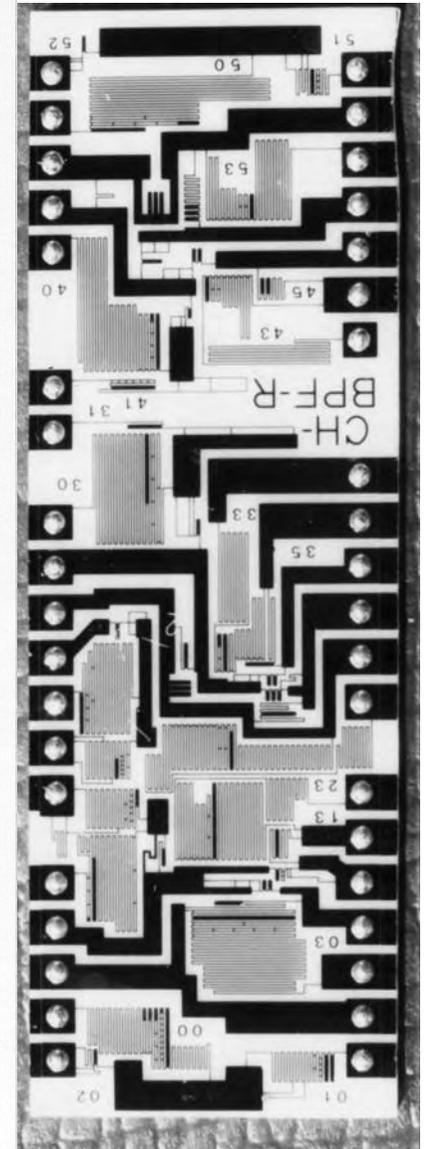
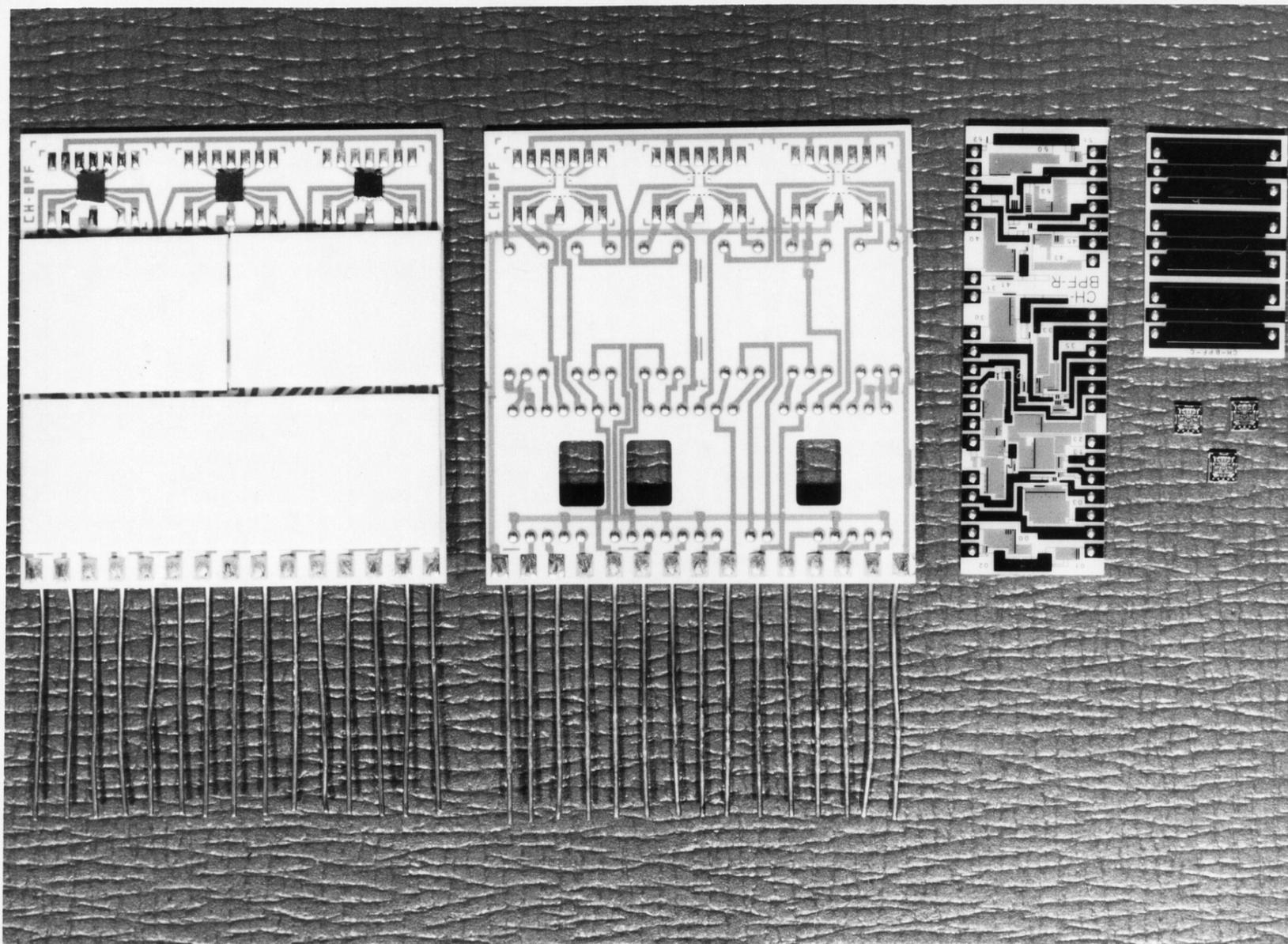
RCAF:  
RCアクティブフィルタ  
混成IC



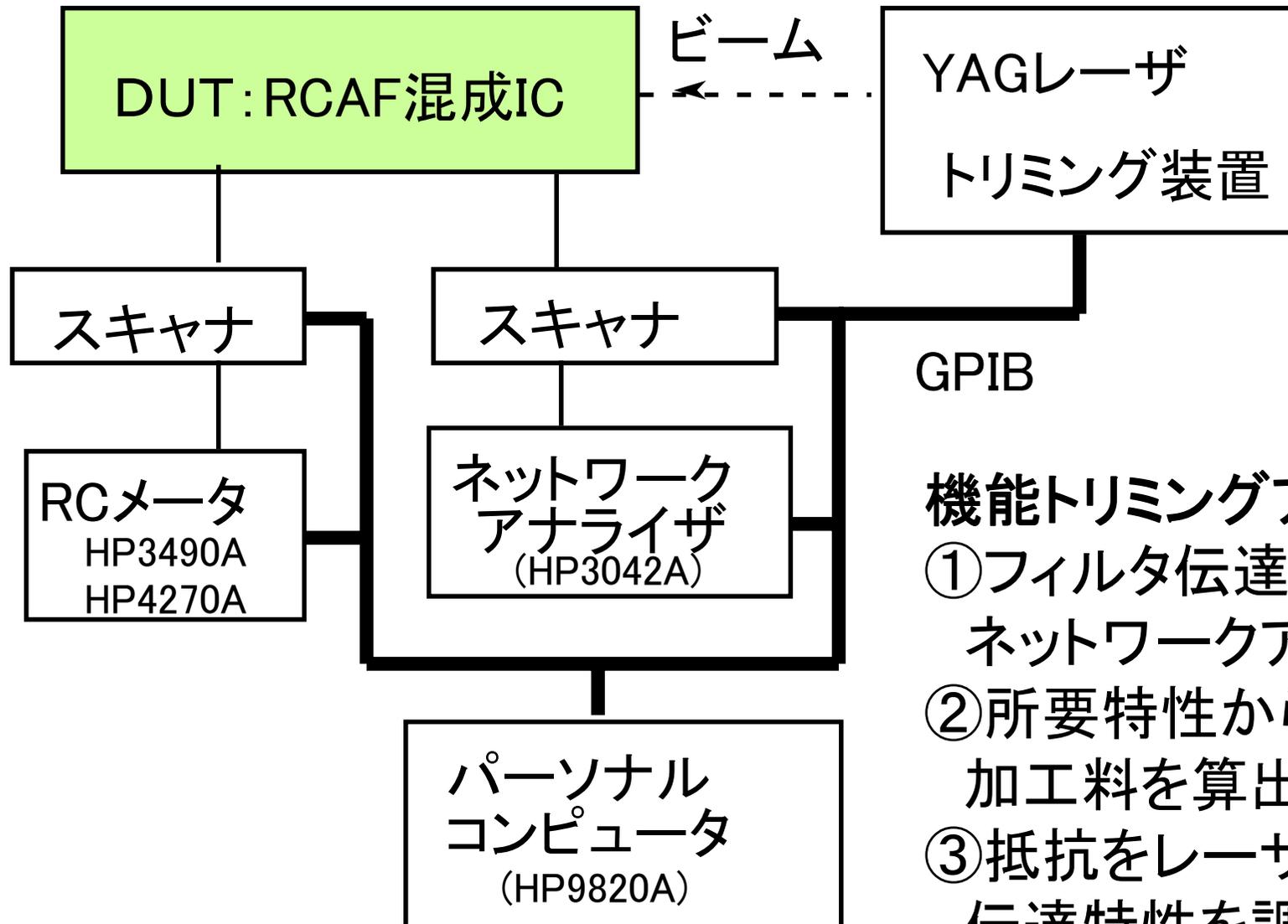
SCF:  
スイッチトキャパシタフィルタ  
CMOS



# 混成IC化RCアクティブフィルタ



# 自動レーザトリミングシステム



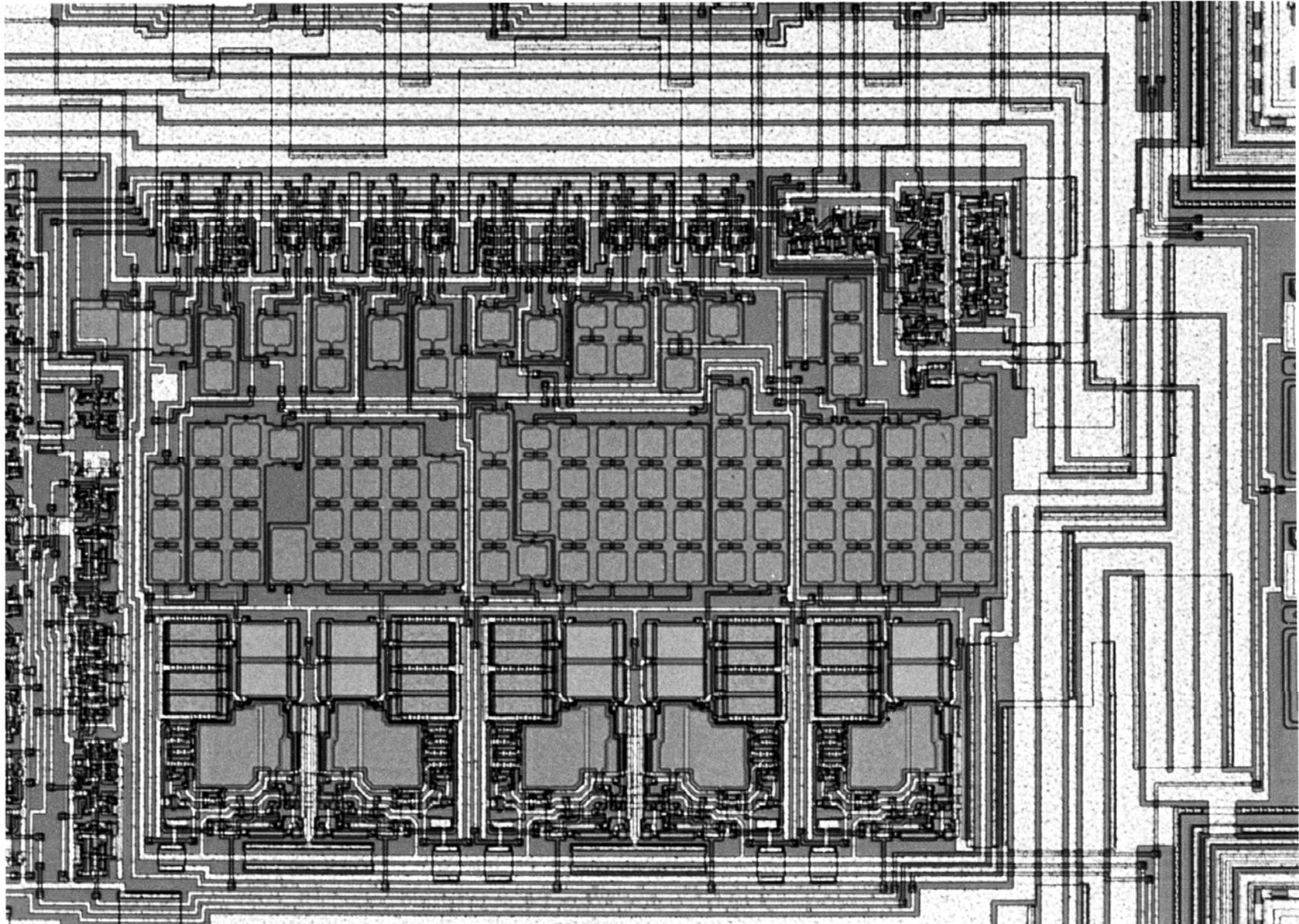
## 機能トリミングアルゴリズム

- ①フィルタ伝達周波数特性をネットワークアナで自動測定
  - ②所要特性からの偏差から加工料を算出,
  - ③抵抗をレーザ加工して, 伝達特性を調整
- 制御ソフトは自作  
企業に技術移転

# 自動レーザトリミングシステム



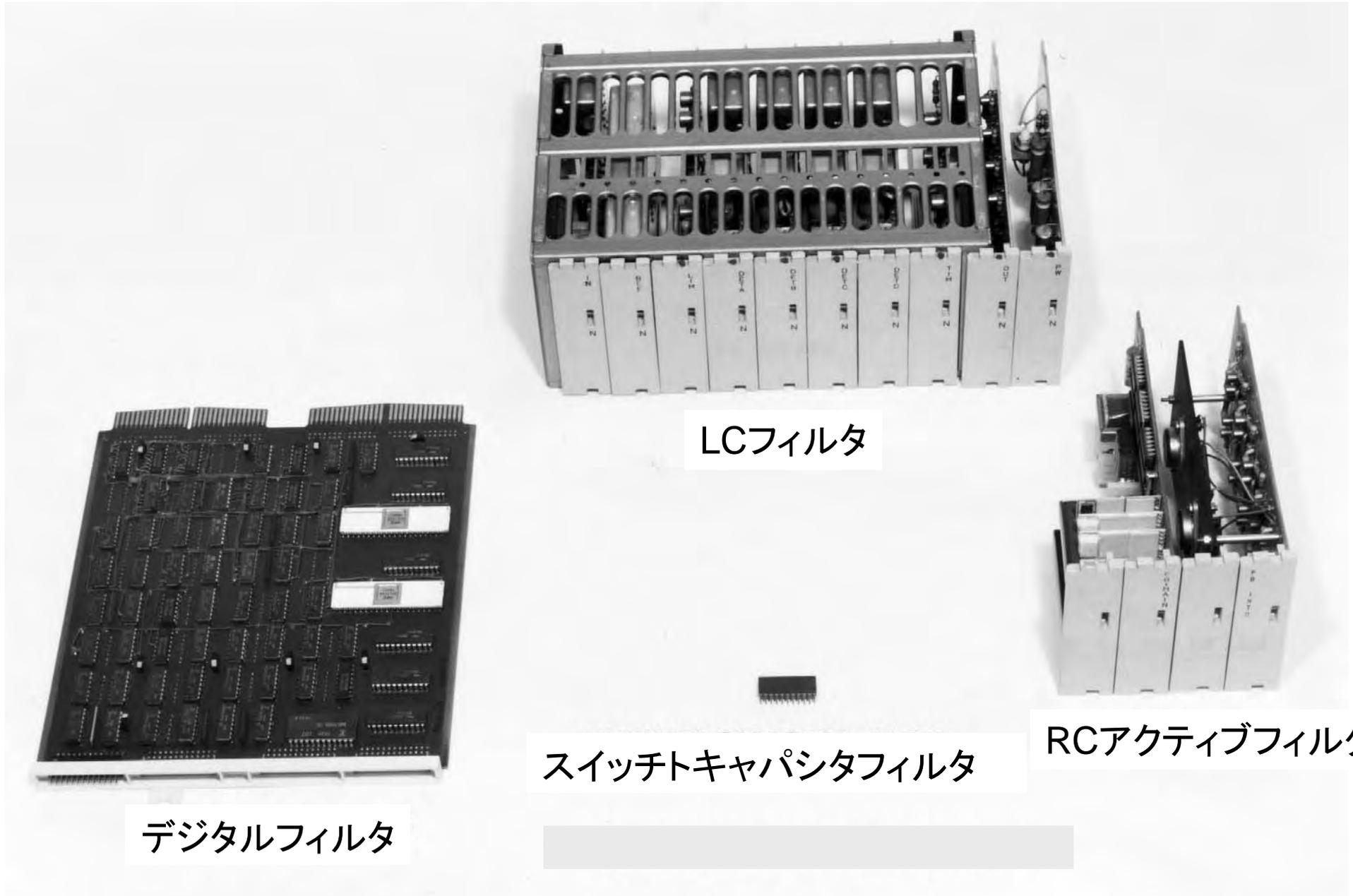
# スッチトキャパシタフィルタ(音声帯域LPF)



A. Iwata, ISSCC1981

# 集積化フィルタによるDTMF Receiver の小型化

DTMF: Dual Tone Multi Frequency



LCフィルタ

スイッチトキャパシタフィルタ

RCアクティブフィルタ

デジタルフィルタ

# CMOS-AD変換器

容量アレイ逐次比較型

並列比較 SSTバイポーラ, SiGe

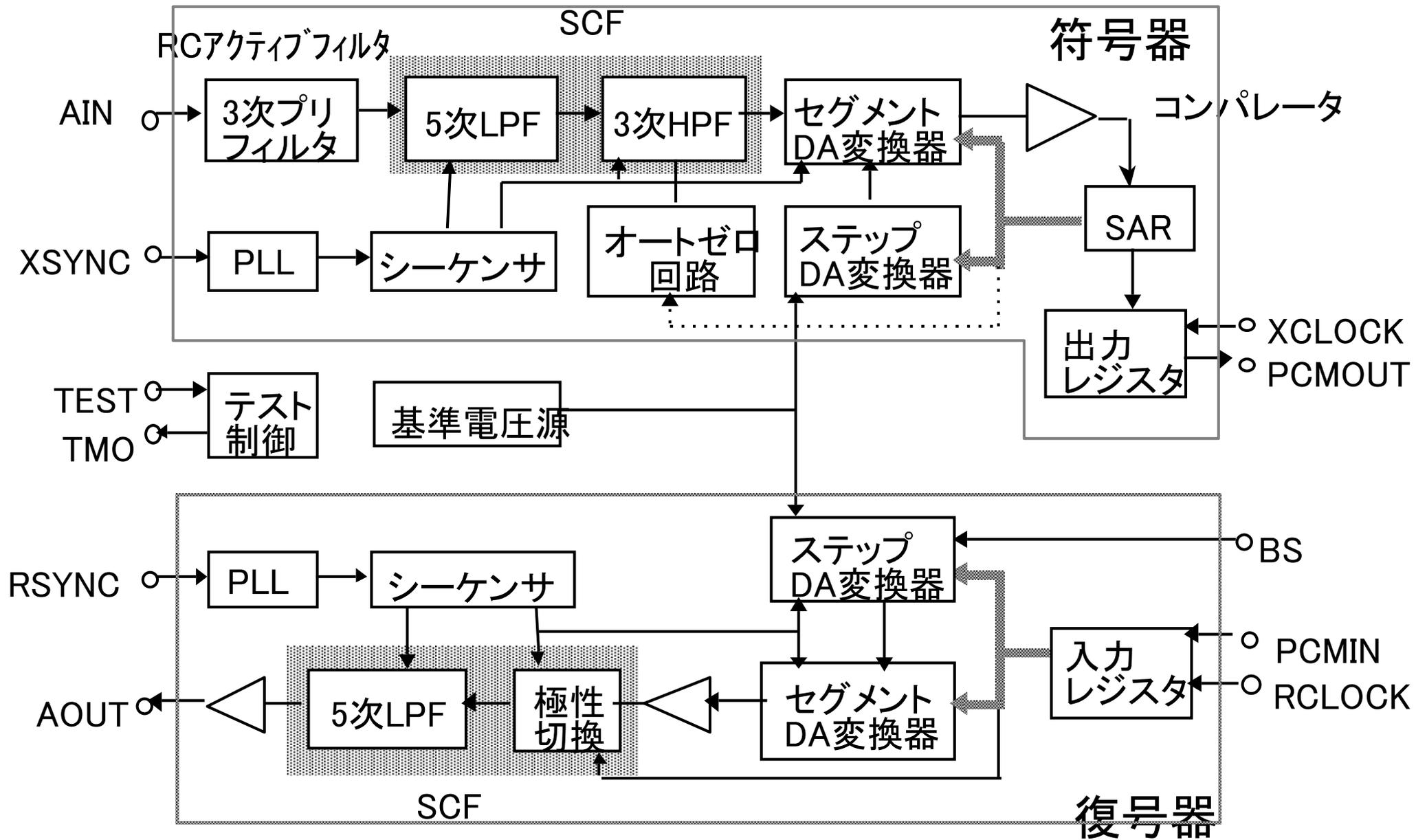
オーバサンプリング  $\Delta \Sigma$

MASH

VCO量子化器

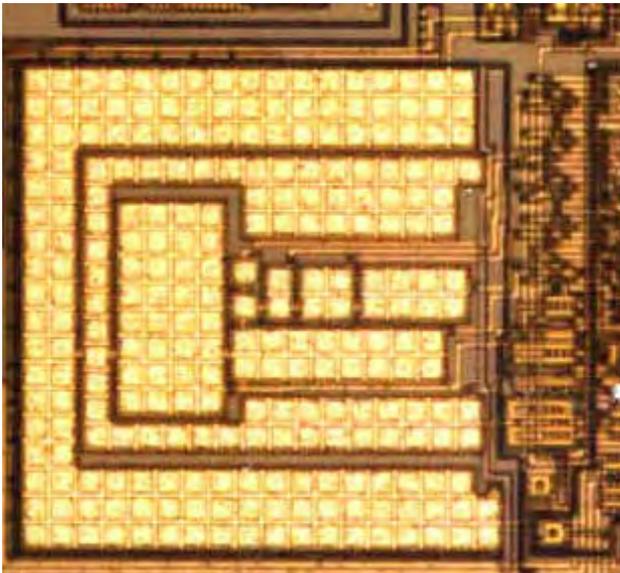
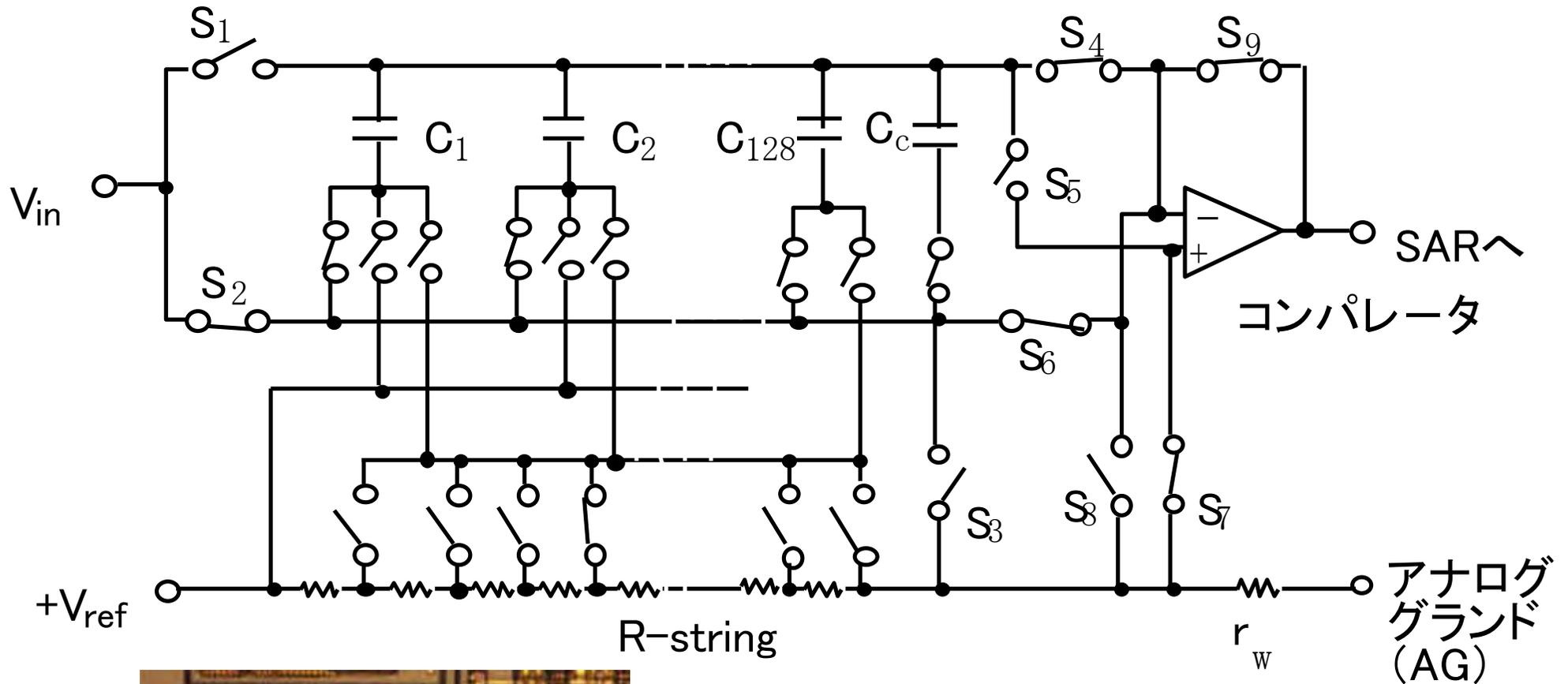
CT-デジタル補正量子化器

A-T-D 変換器



PCM-CODEC-LSIのブロック図

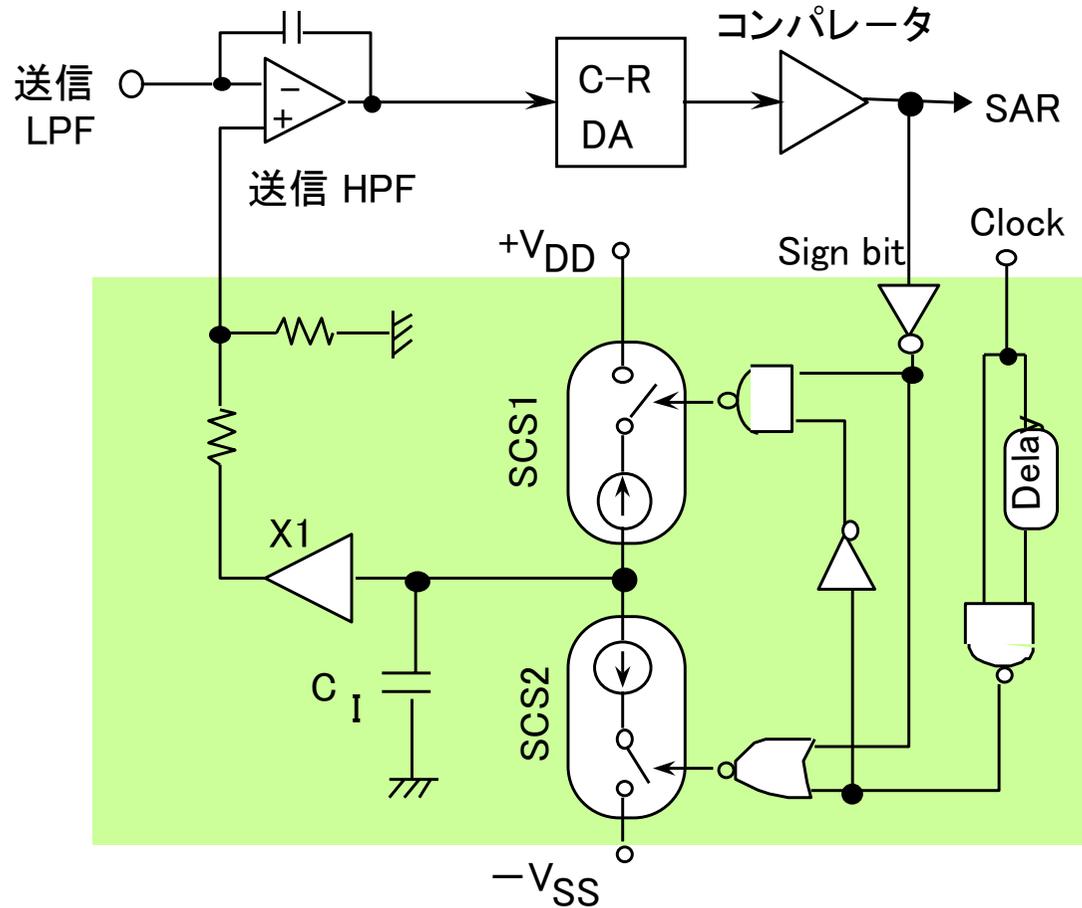
# Single Vref C array-R string ADC



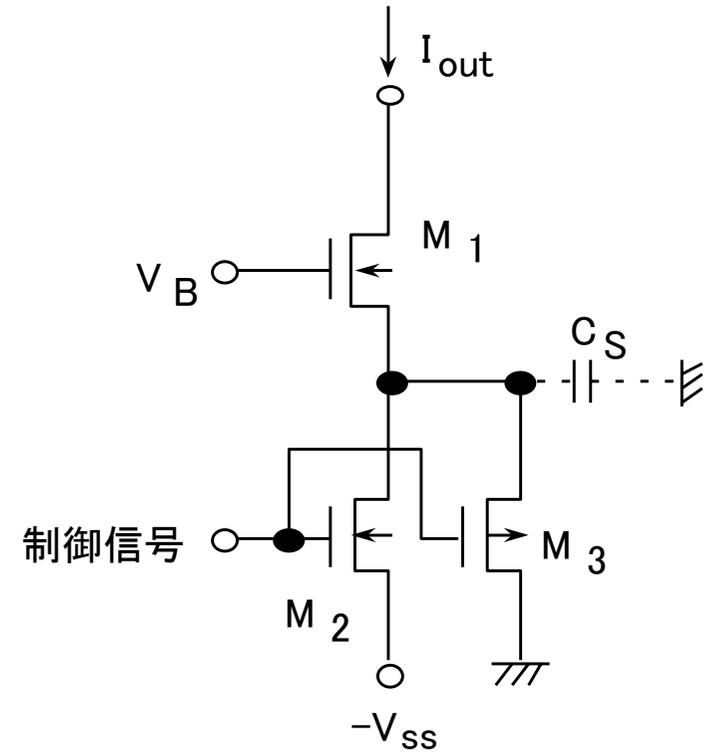
Binary Weighed C array  
Common Centoroide structure

# オートゼロ補正, PLL内蔵(外付部品不要)

## オートゼロ回路



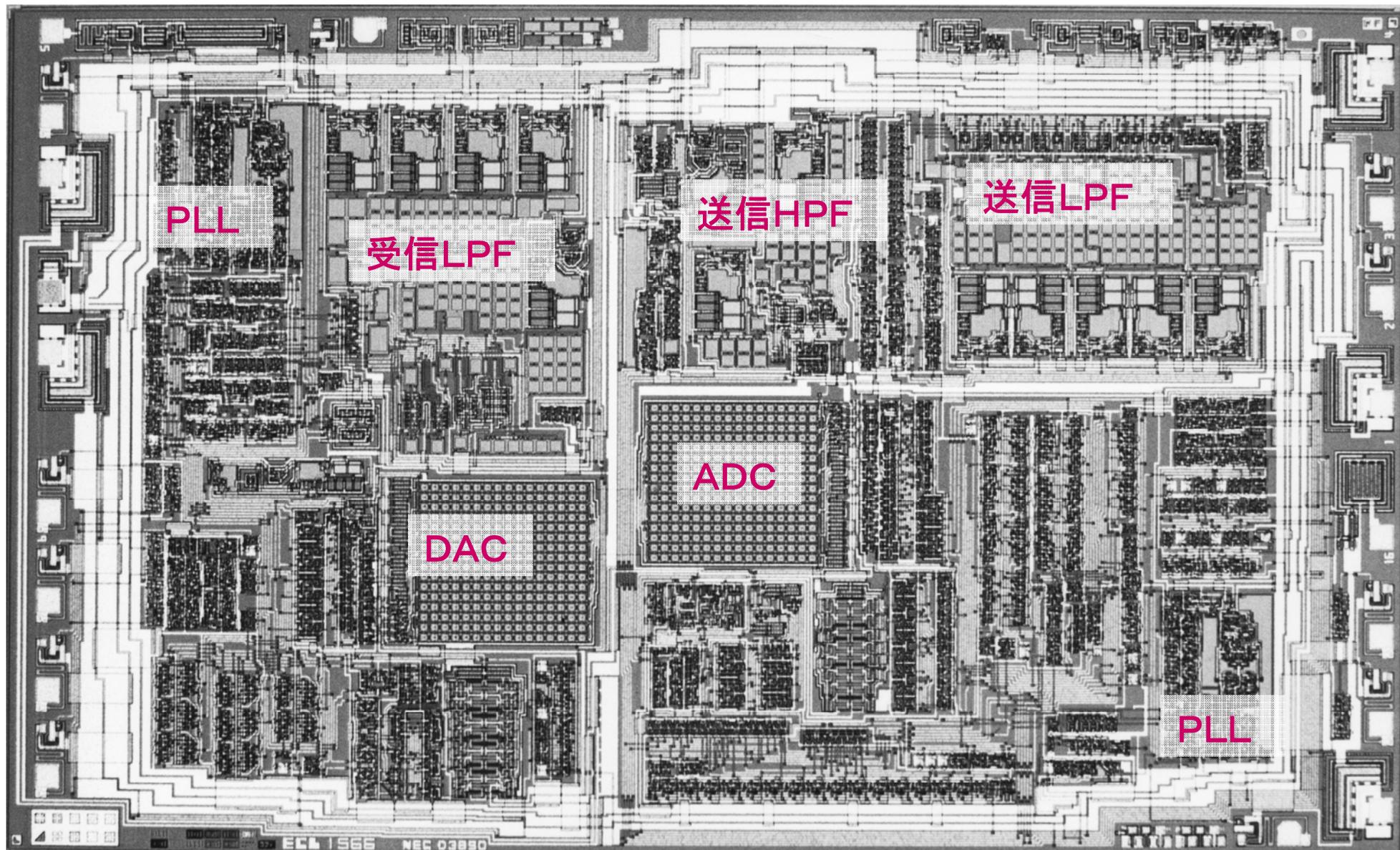
## ループフィルタ



1秒程度の長い時定数を  
Switched Current Source: SCS で実現

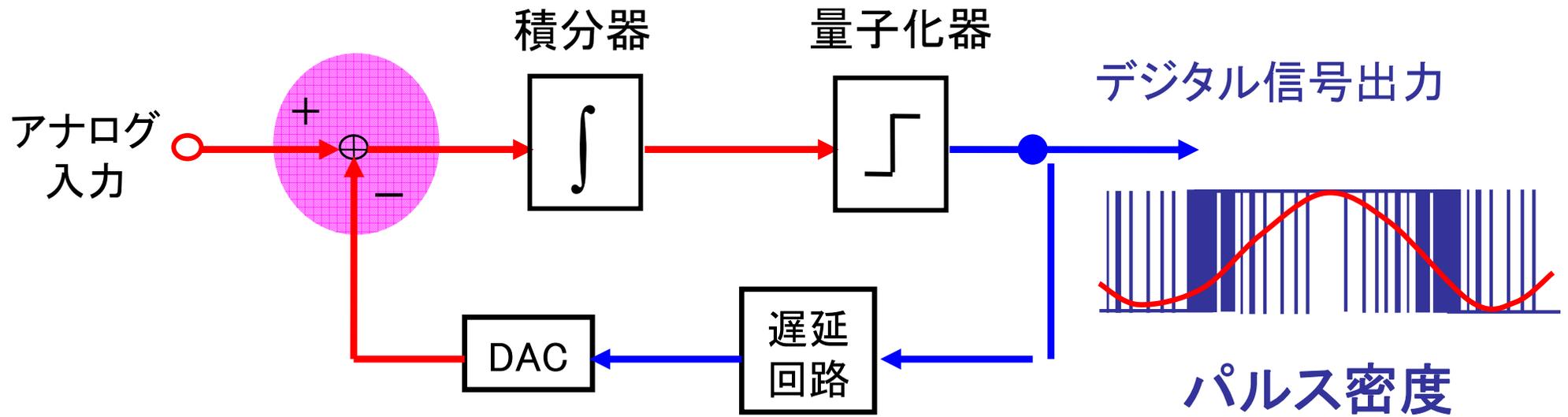
# 1チップCODEC-LSI

(5um CMOS, 世界発 フィルタ, PLL搭載)



A. Iwata, ISSCC1981

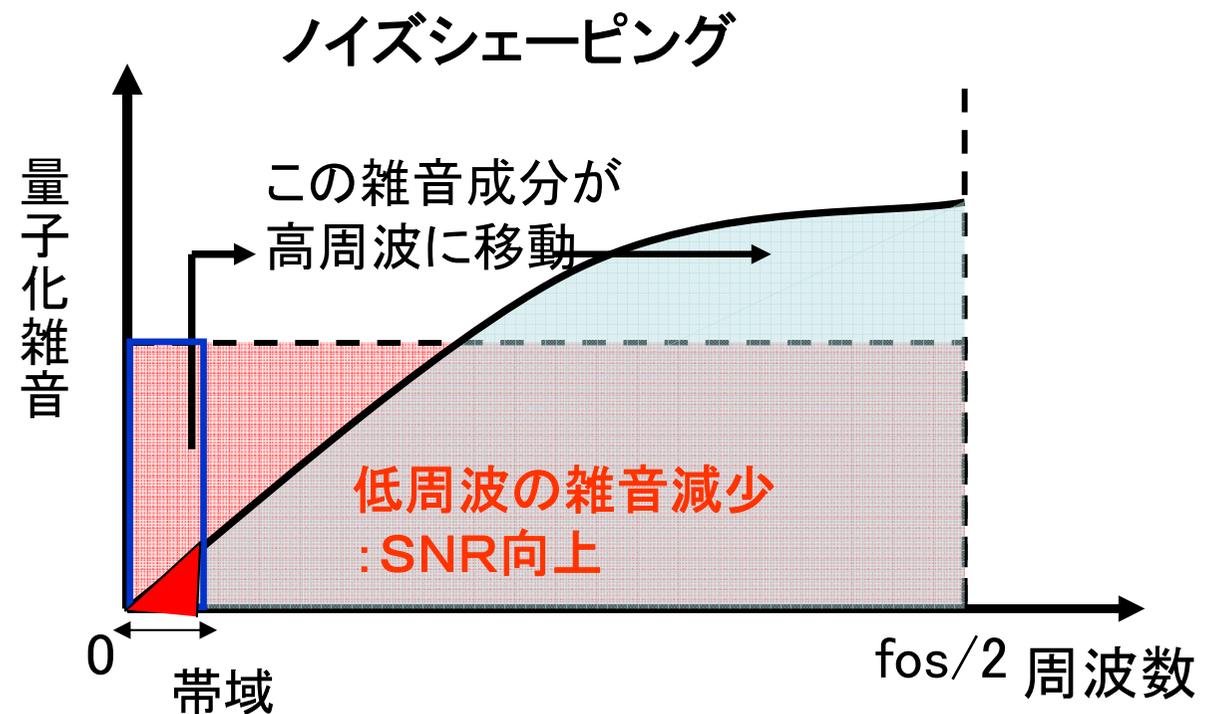
# $\Delta \Sigma$ ADCの回路構成



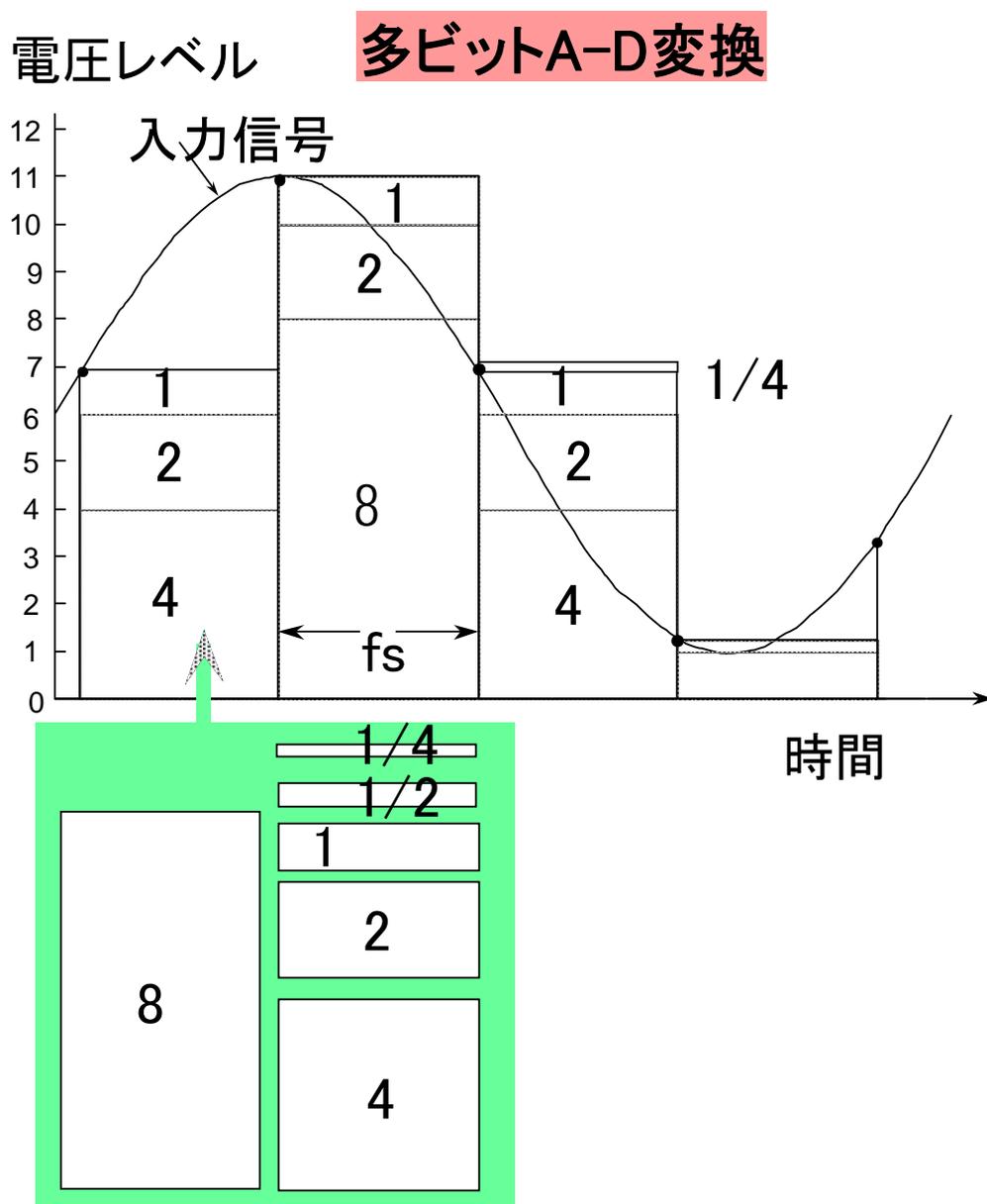
## 必要な回路要素

- ・ 積分器
- ・ 量子化器(1bit)
- ・ DAC(1bit)

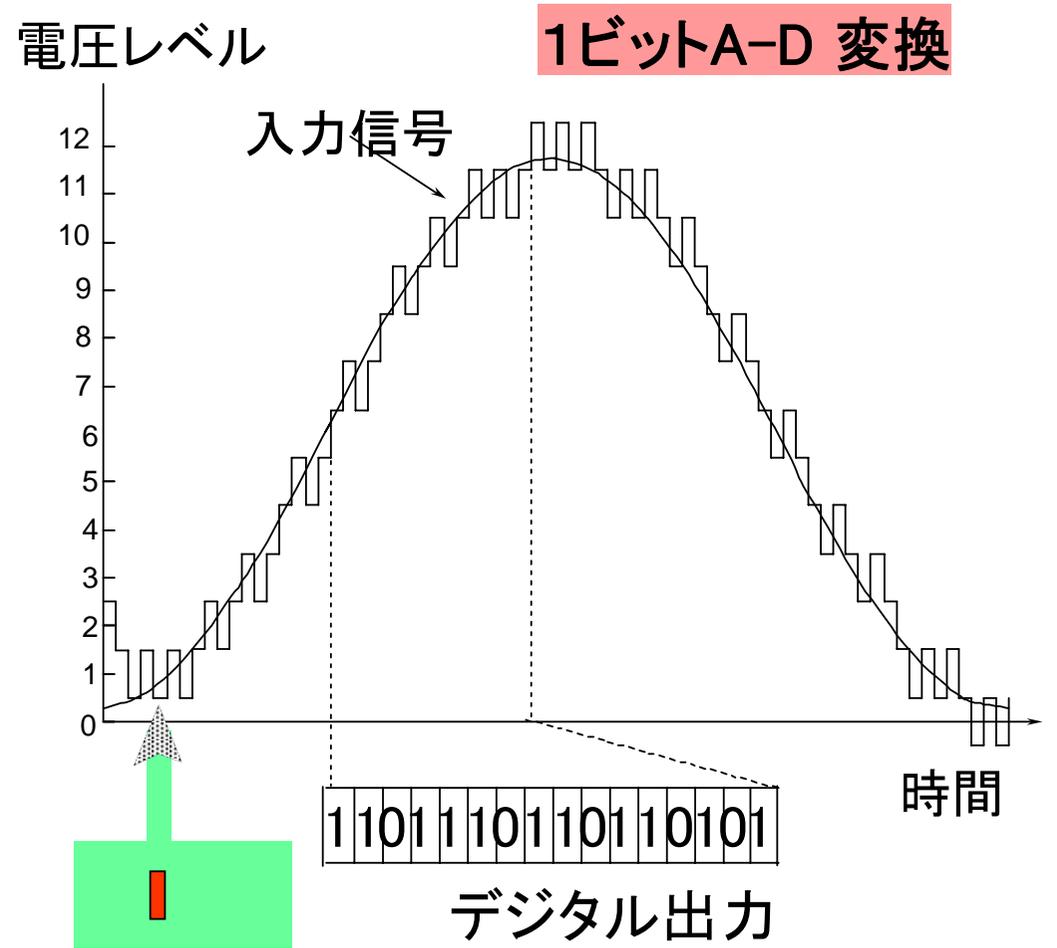
回路規模が小  
無調整で高SNR



# 多ビットADCと1ビットADCの動作比較



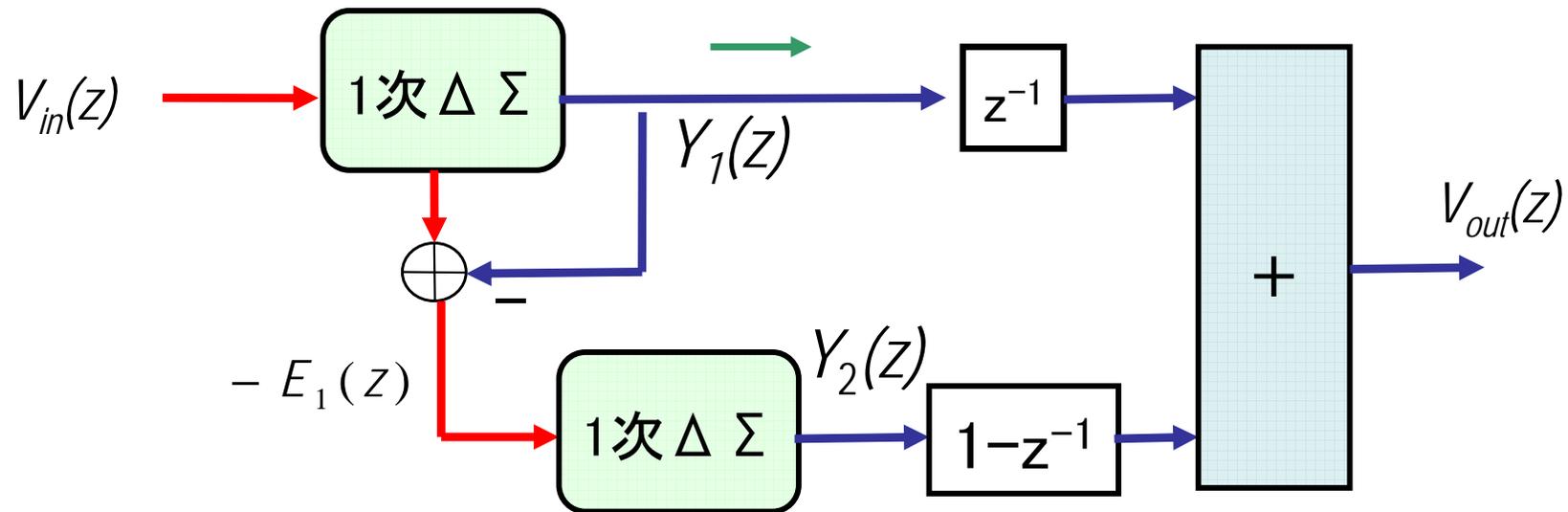
多ビット: 大小多数のコップで計量  
12ビット以上では調整が必要



1ビット: 1個のコップで計量  
誤差が発生しない

高速に繰り返し計量して精度向上  
オーバースAMPLING

# 多段ノイズシェーピング $\Delta \Sigma$ (MASH)



$$Y_1(z) = z^{-1} V_{in}(z) + (1 - z^{-1}) E_1(z)$$

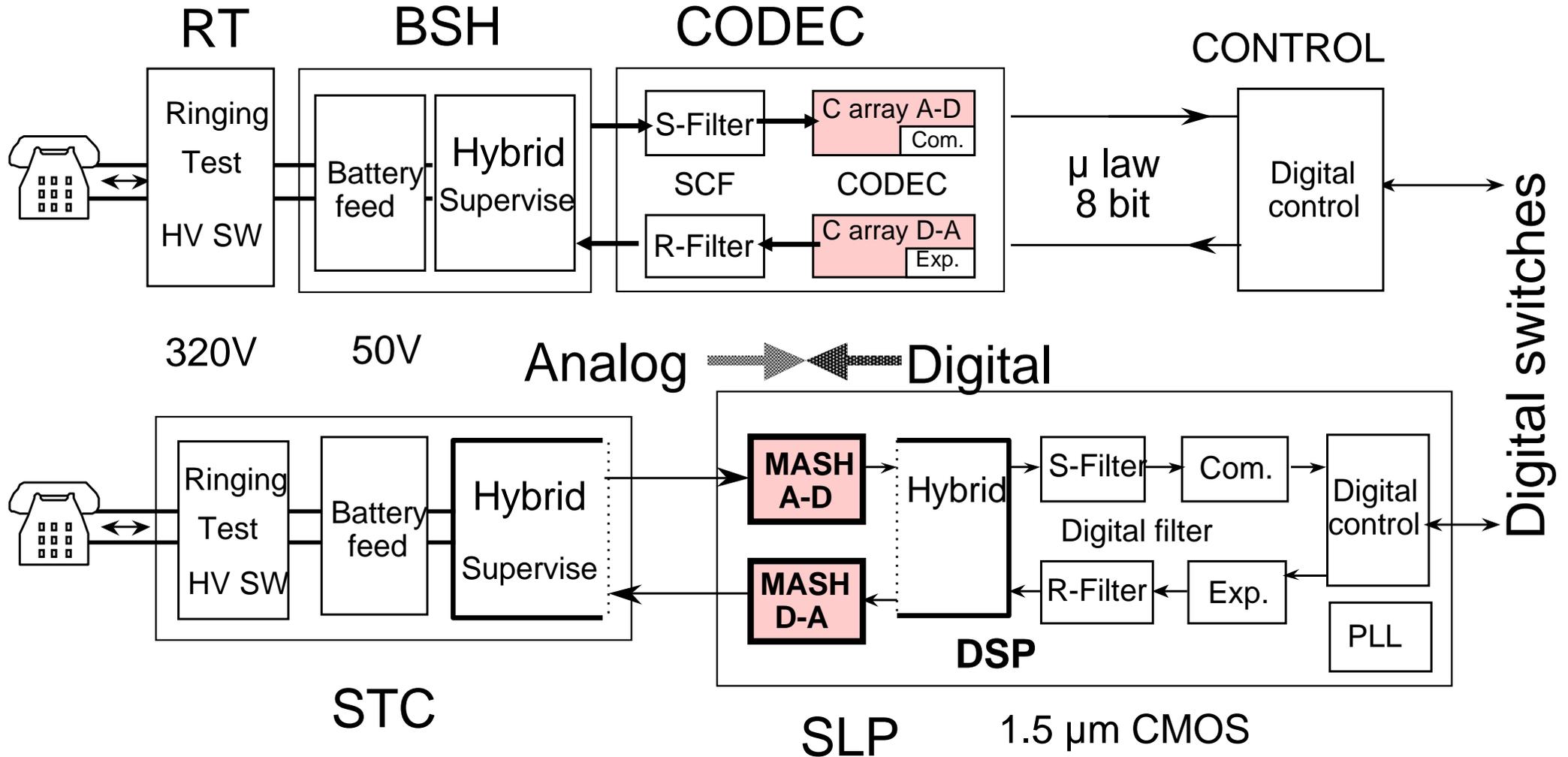
$$Y_2(z) = z^{-1} E_1(z) + (1 - z^{-1}) E_2(z)$$

$$V_{out}(z) = z^{-1} Y_1 + (1 - z^{-1}) Y_2$$

$$= z^{-2} V_{in}(z) + (1 - z^{-1})^2 E(z)$$

2次のノイズシェーピング

# 電話加入者回路(SLIC)



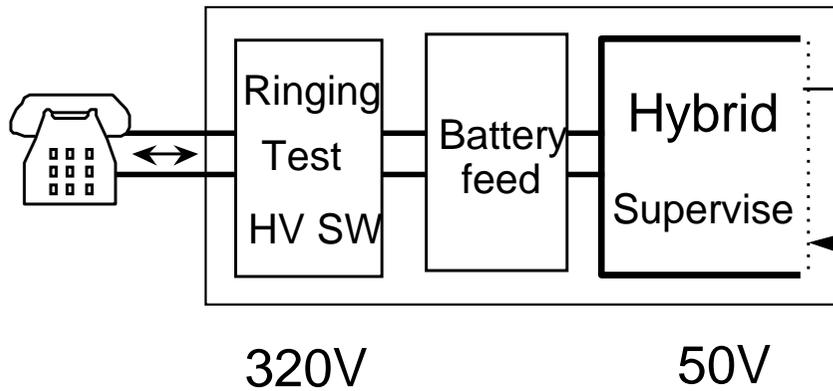
Hybrid: 2W-4W Conversion

Top: 4 chip SLIC with C array ADC and SCF

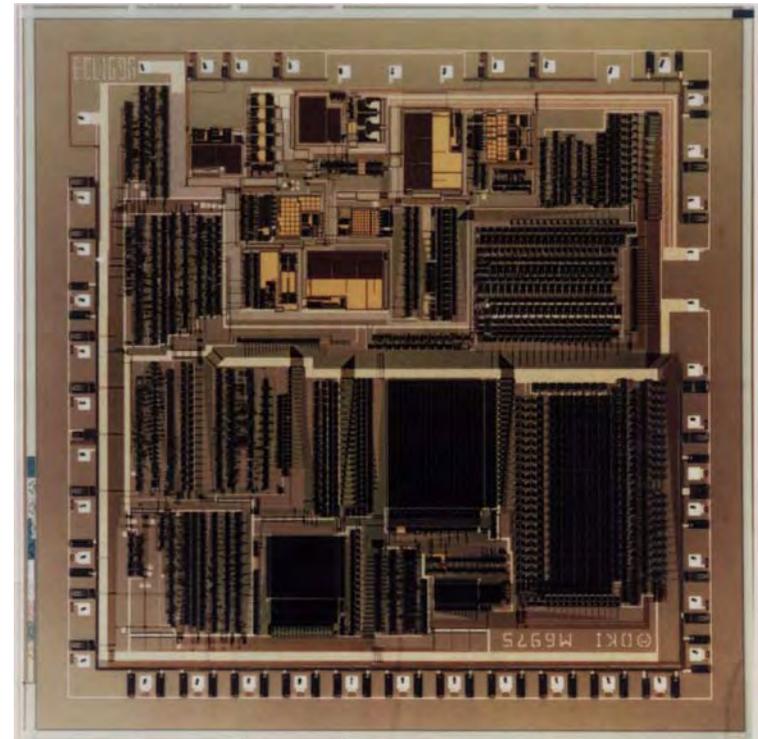
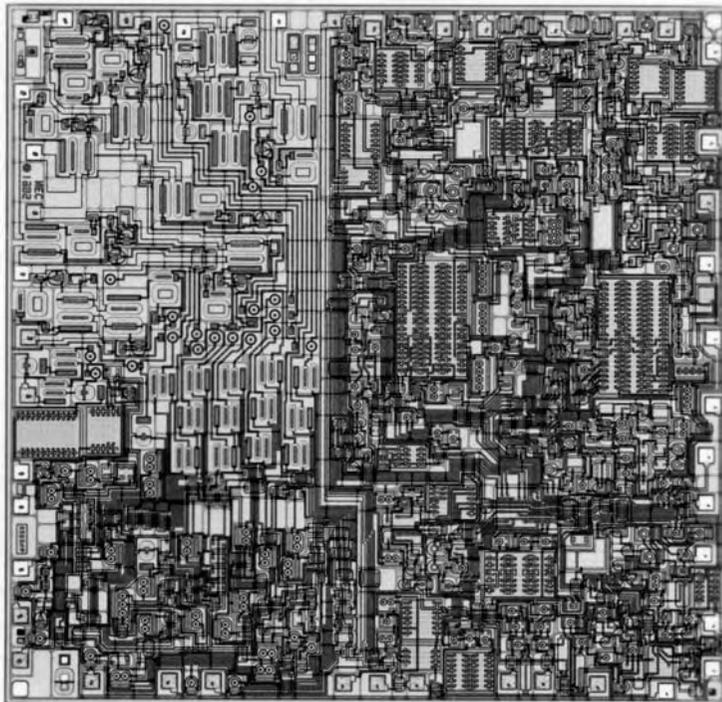
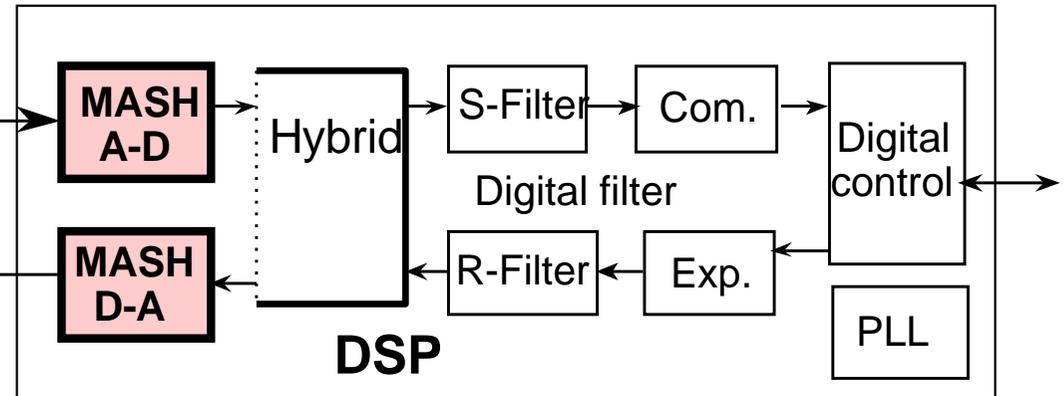
Bottom: 2 chip SLIC with MASH

# 2 chip SLIC with MASH

Subscriber Termination Ckt. (STC)

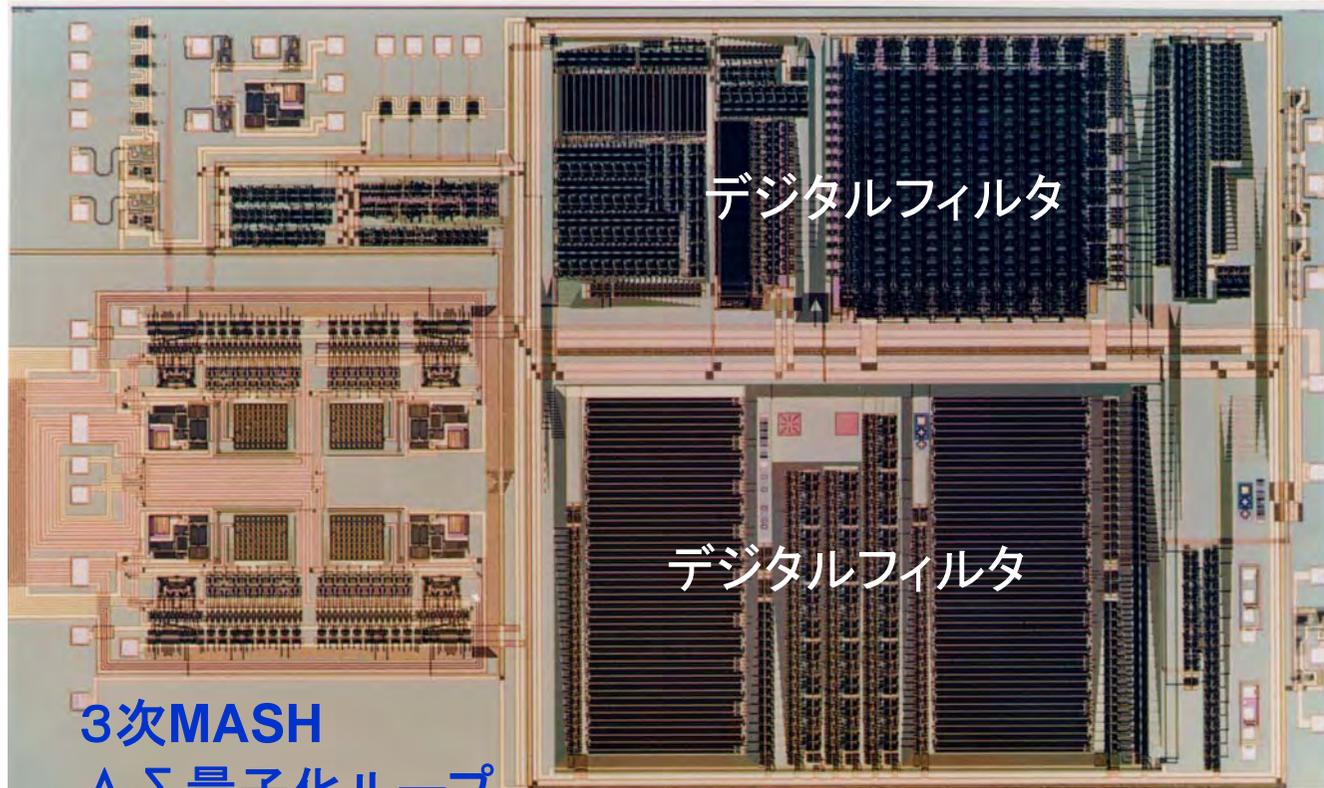


Subscriber Line Proc. (SLP)



Digital switches

# MASH ADC

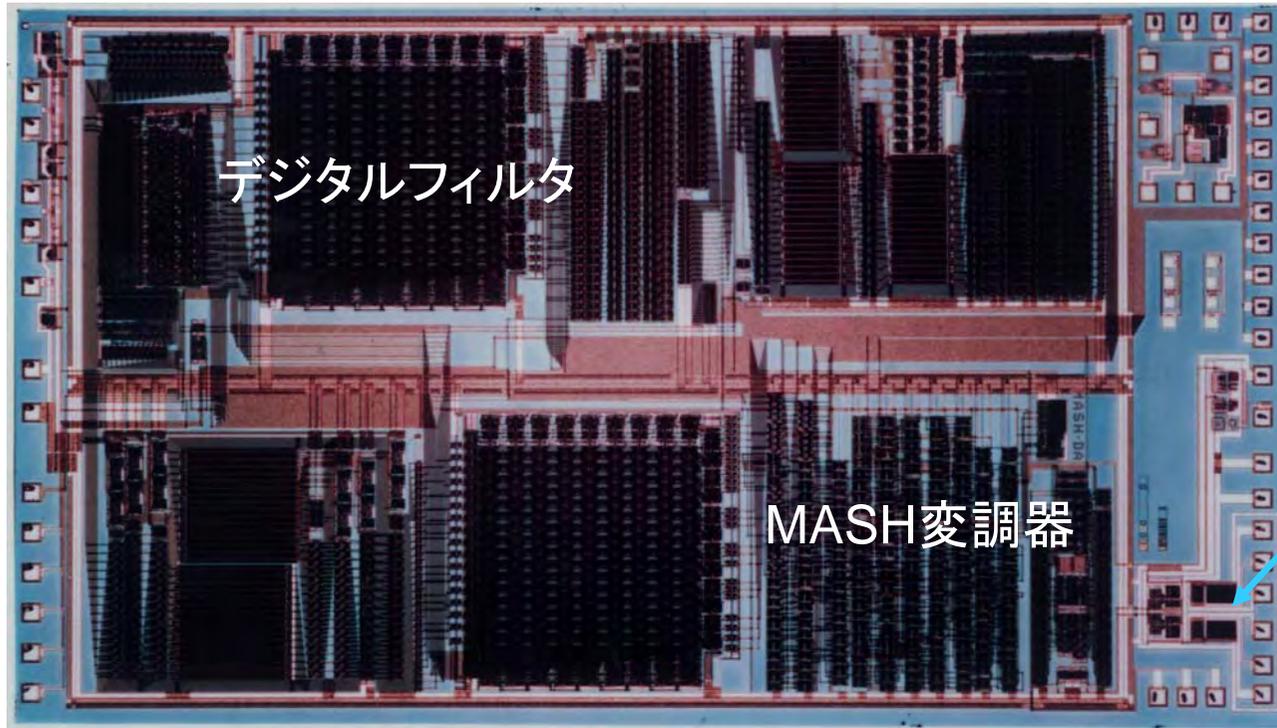


3次MASH  
 $\Delta \Sigma$  量子化ループ

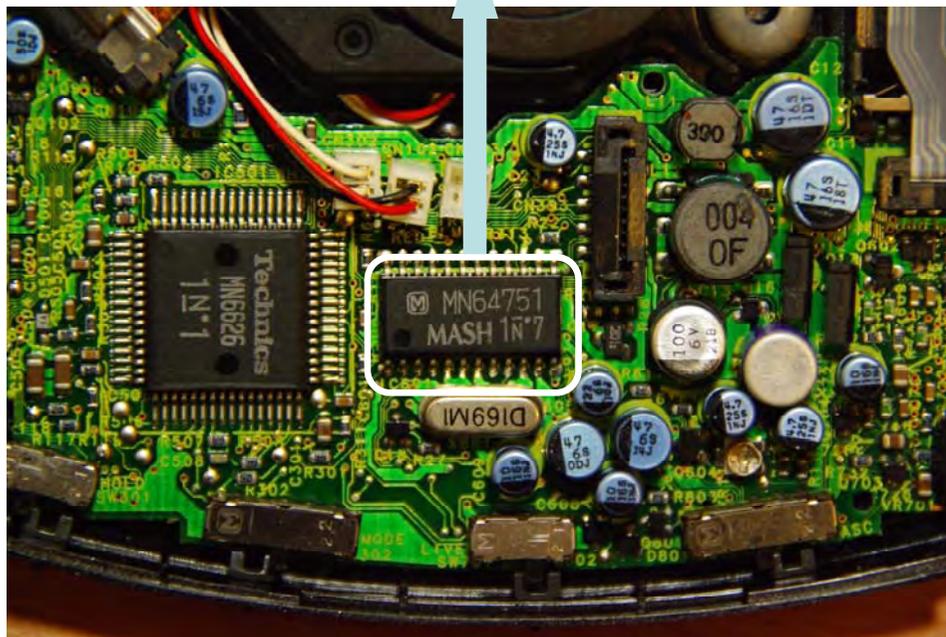
幻のポータブルDAT



# MASH DAC



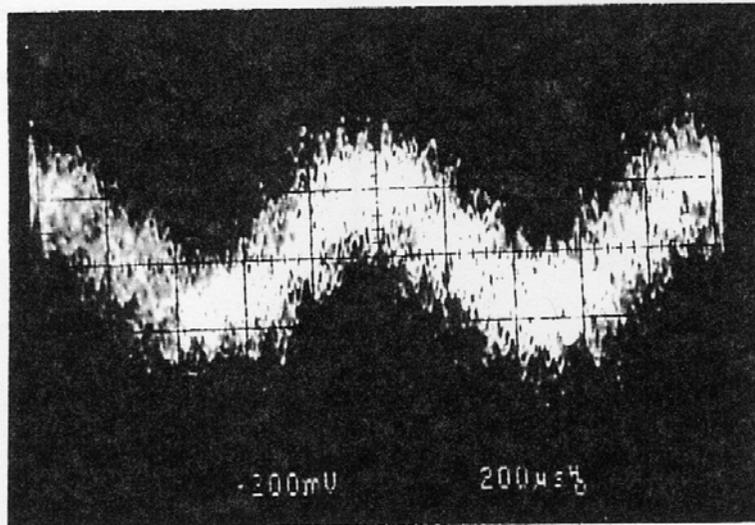
高級ポータブル  
CDプレーヤ



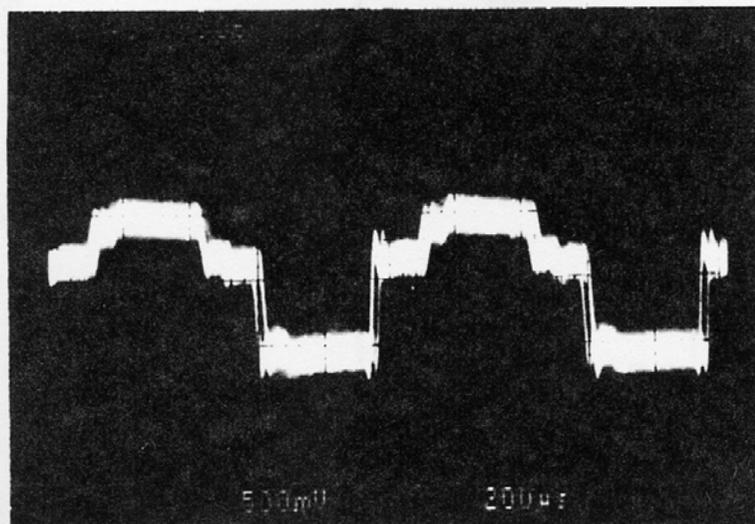
# 1ビットDACの特徴

微小入力時の高い直線性

MASH-DACの波形

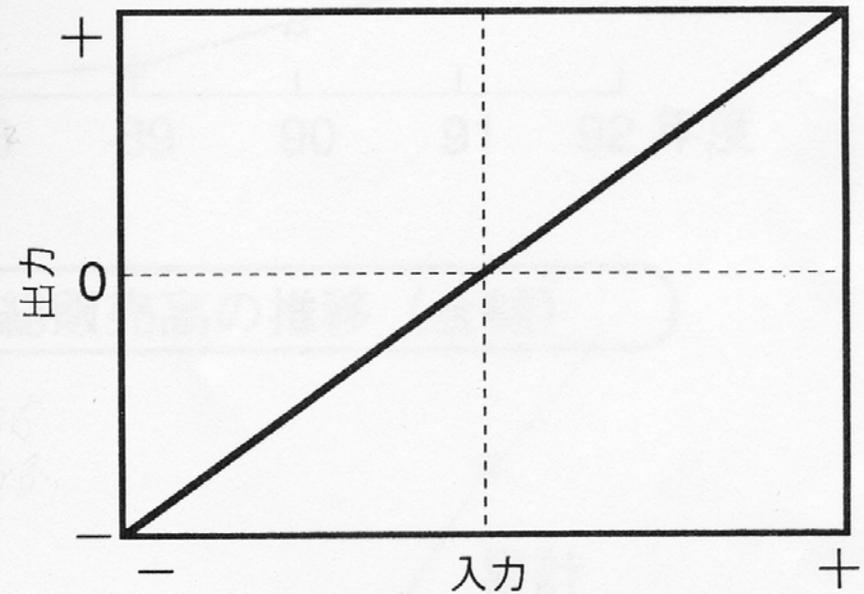


従来のDACの波形

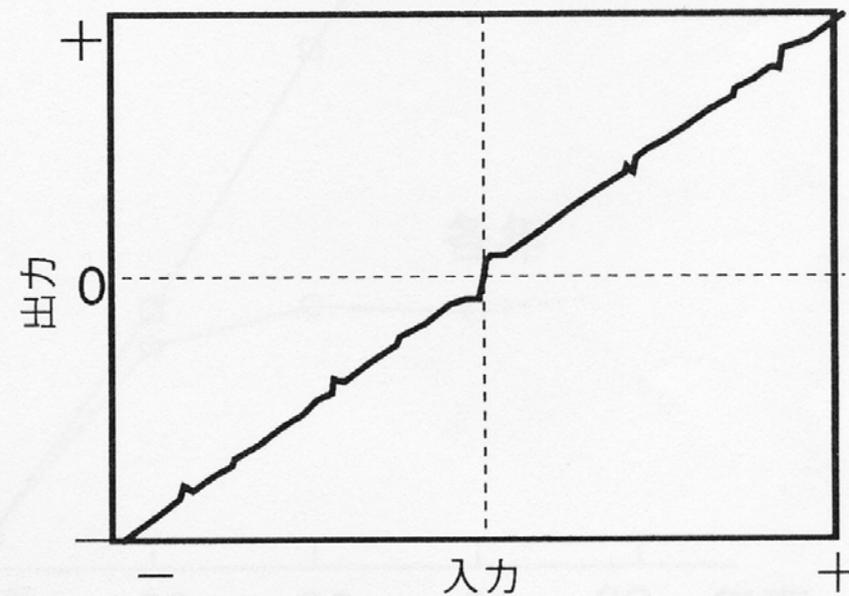


山水データ

MASH方式DACの直線性



従来のDACの直線性



松下電器データ

# プログラマブルアナログLSIの開発

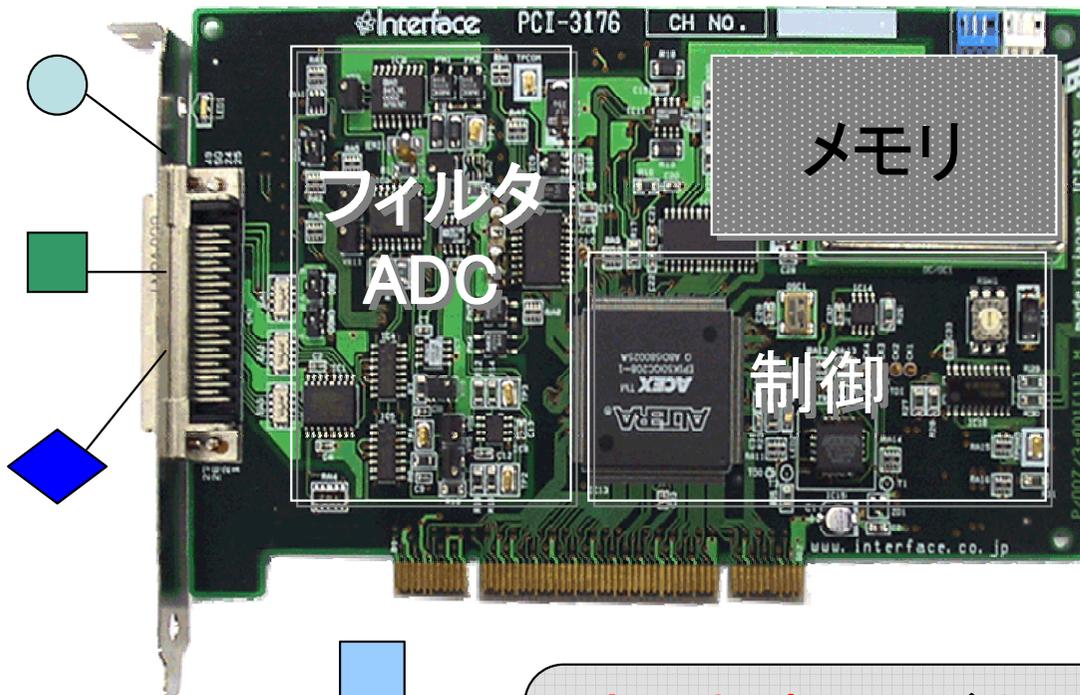
広島大学，インタフェース

JST 山口 圭治，広島大学 杉本健俊

インタフェース 河部本 尚樹，西田 直史

## 現状ボード

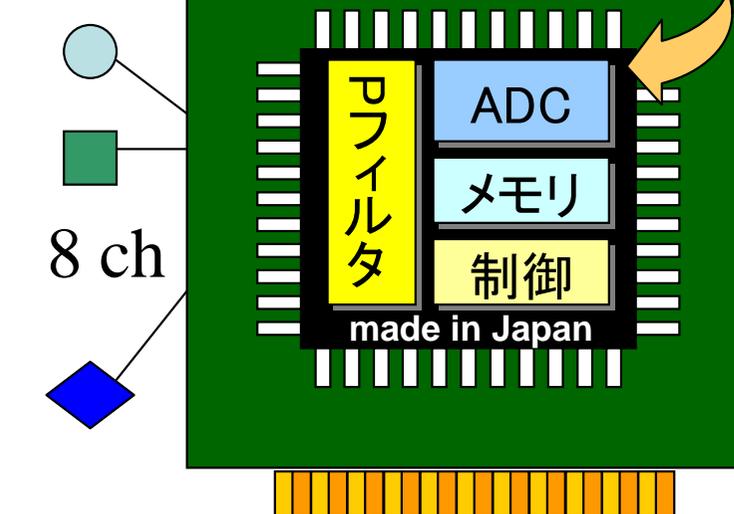
センサ



## 開発ボード

プログラマブル  
アナログLSI

センサ



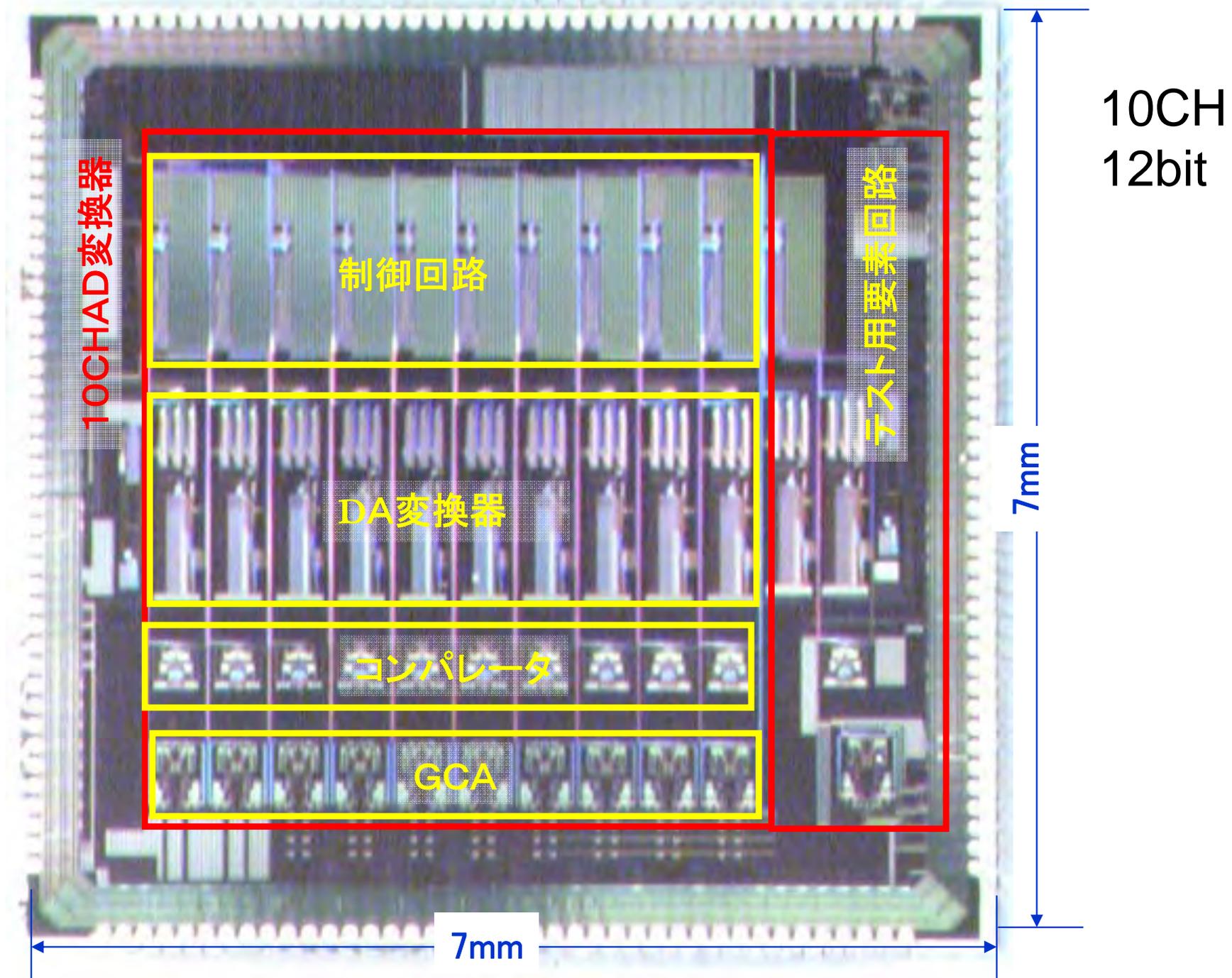
部品削減コストダウン: 60億円/年  
標準化生産量拡大: 120%/Year  
開発容易化: 短TATに貢献

# 性能目標と実現性能

- ・プログラマブルADの要素回路技術の確立
- ・デジタル精度補正回路考案、12bit精度達成
- ・多チャンネル搭載技術  
ADC1個当たり 消費電力:30mW、チップ面積:5×0.4mm  
インタリーブ動作、クロストーク抑圧

項目	仕様	実現性能
分解能	14bit	14bit
精度	12bit	12bit
チャンネル数	1～8CH	1～8CH
変換速度	8CH: 1Msps 1CH: 8Msps	8CH:208 Ksps 1CH: 1.66 Msps
入力電圧範囲	利得1倍: 1Vpp 利得2倍: 0.5Vpp	利得1倍: 1Vpp 利得2倍: 0.5Vpp

# プログラマブル ADC 0.25 $\mu$ m CMOS

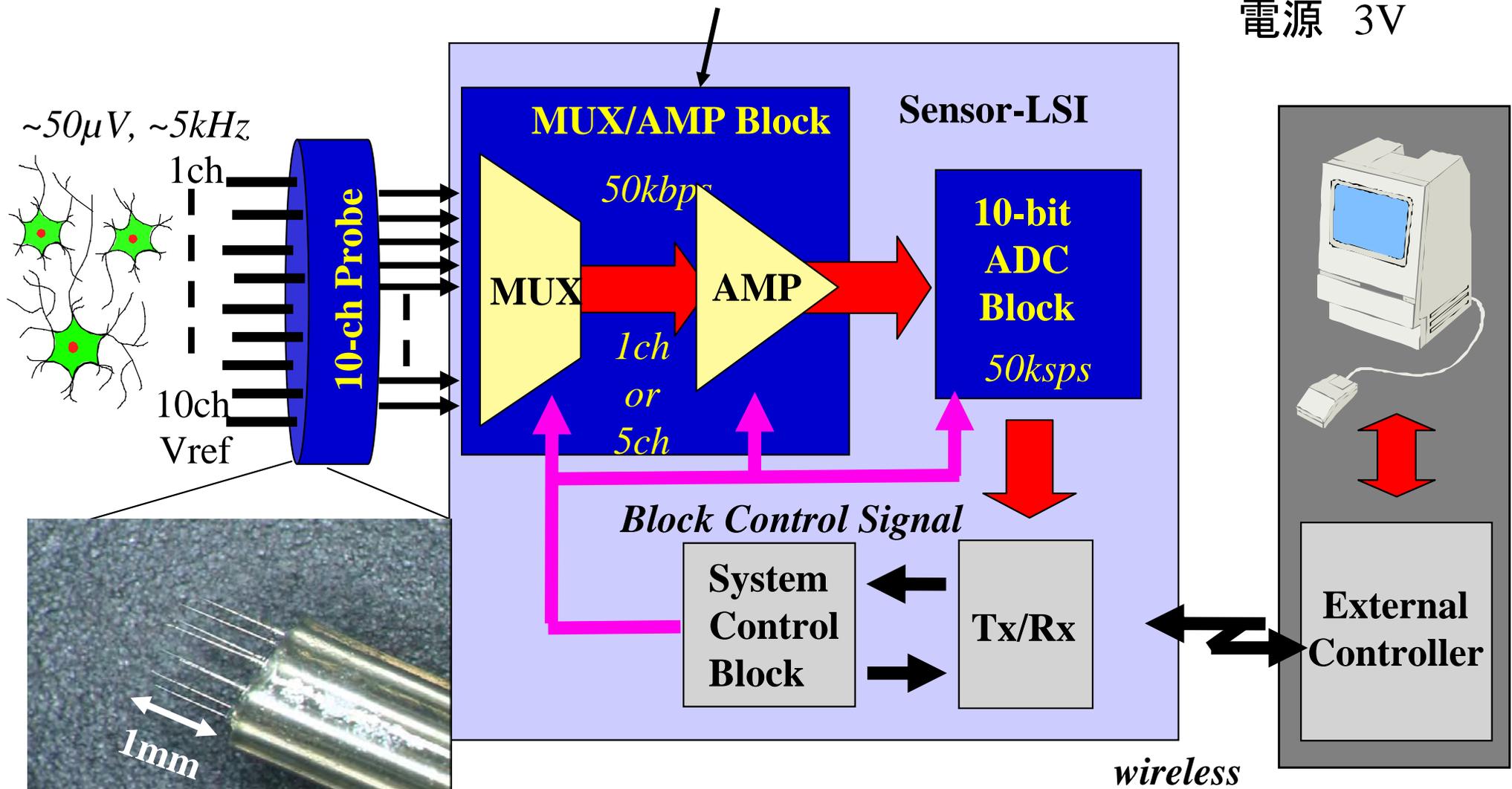


# 神経信号センサーLSIの構成

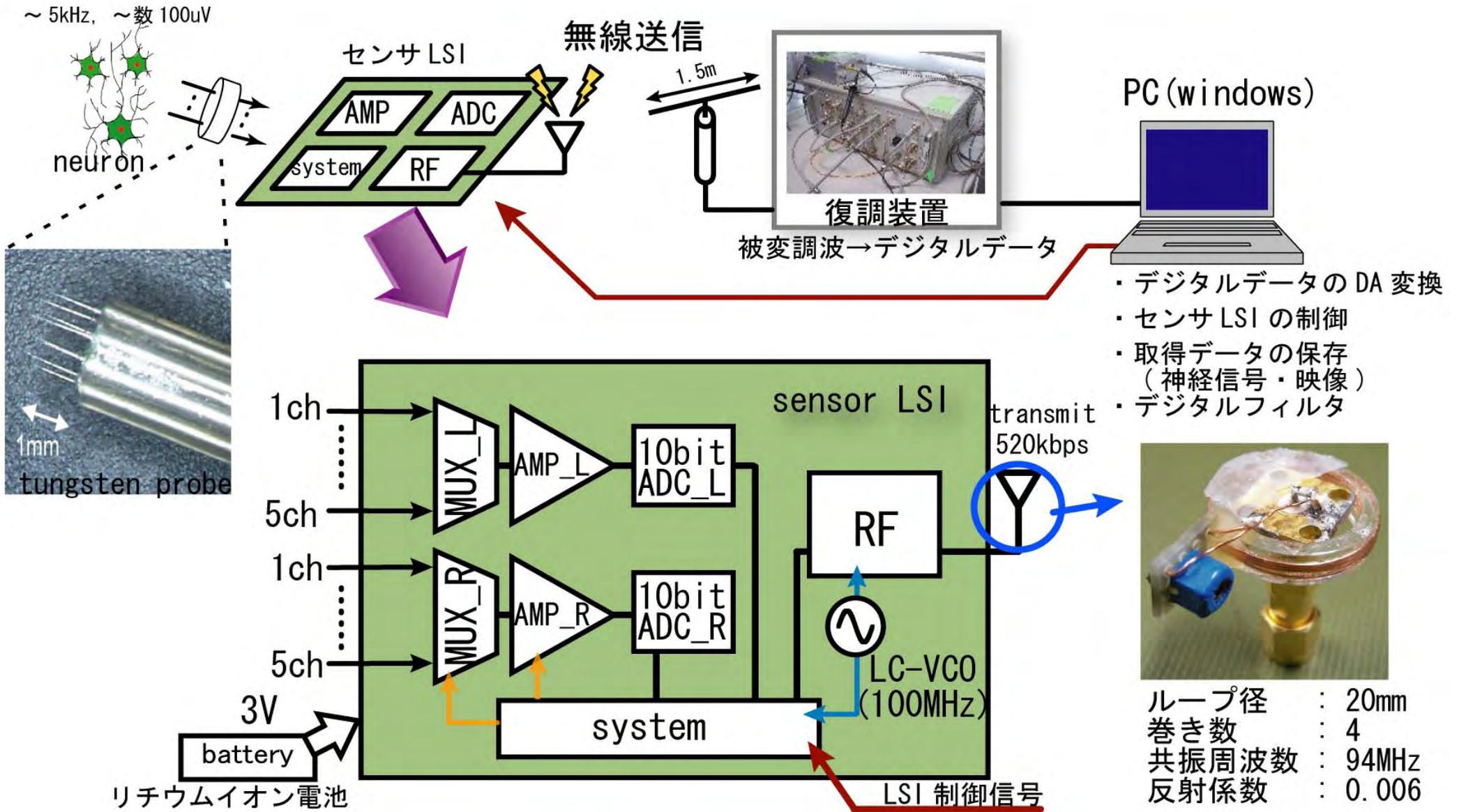
広島大学 生物圏科学研究科 植松先生, 吉田先生  
先端物質研究科 吉田毅先生

$DC\text{-Gain} \sim 80\text{dB}$ ,  $V_n < 10\mu\text{V}$ ,  $V_{off} < 1\mu\text{V}$

0.35 $\mu\text{m}$ CMOS,  
電源 3V

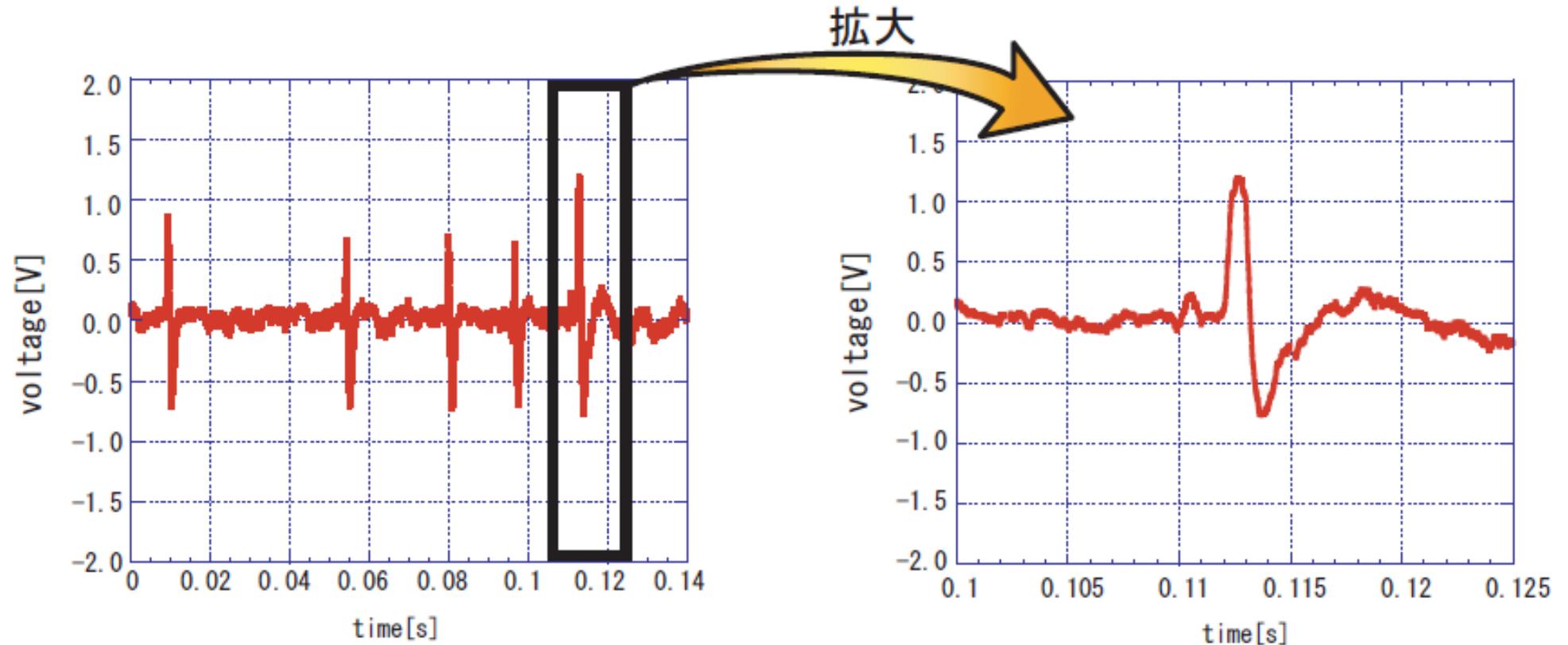


# 無線による神経信号観測システム



# 無線による神経信号観測システムの実験例

## 金魚の小脳のプルキンエ細胞固有の パルス波形を観測



# STARC共同研究

## 低電圧動作低雑音アナログ回路設計技術の研究

2003－2005年 岩田 穆, 佐々木守, 吉田 毅

### CMOSデバイス微細化

- ・低電源電圧化
- ・信号振幅低下
- ・雑音電力増加

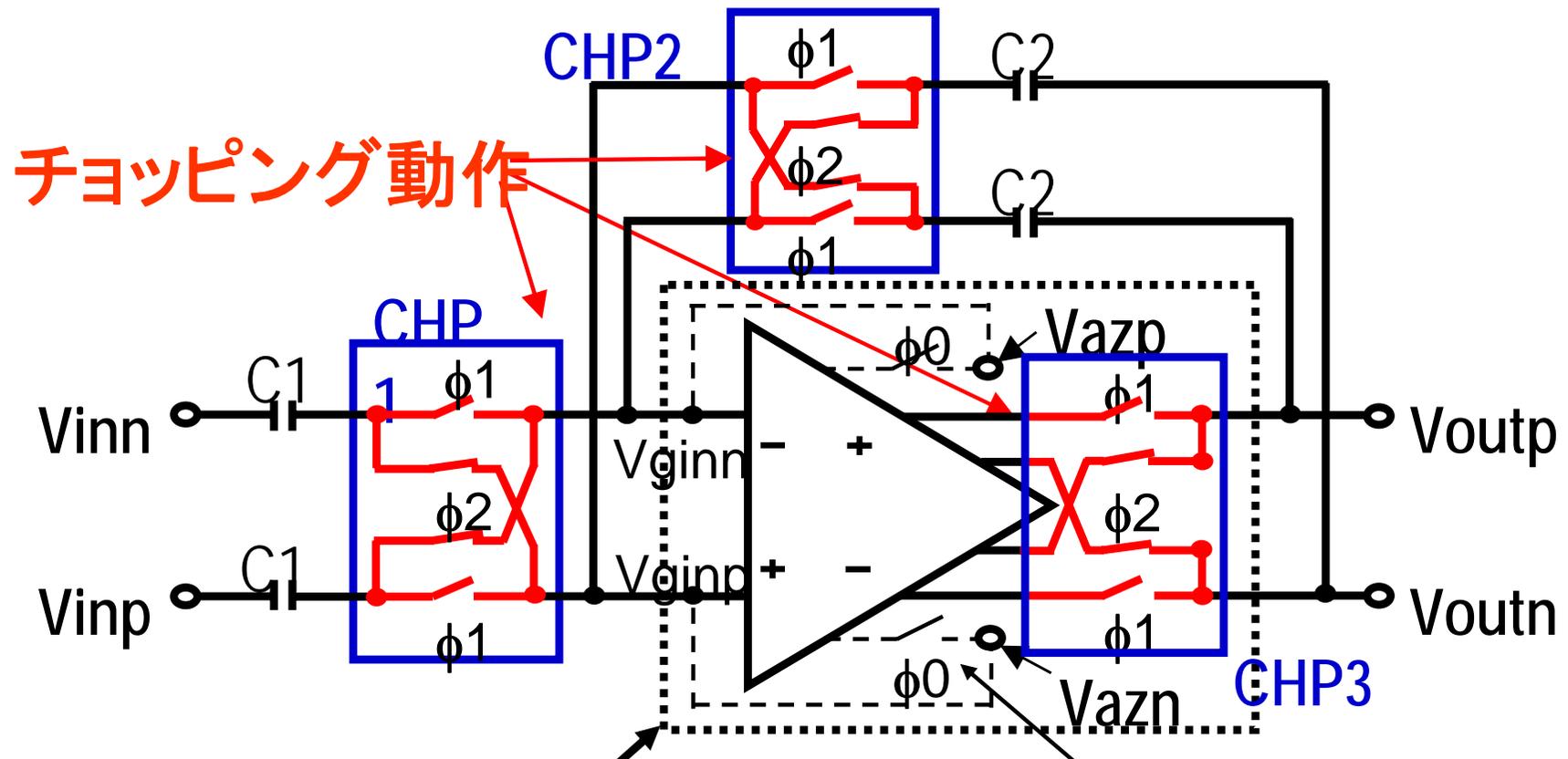
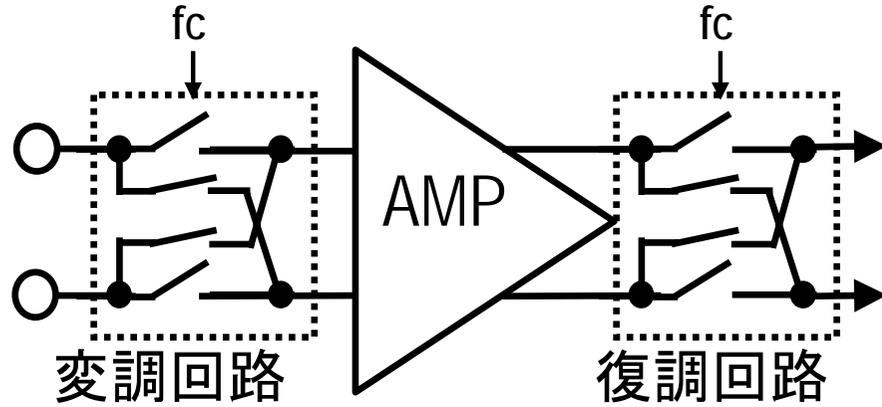
### アナログ回路技術

- ・低電圧動作, 低電力化
- ・低雑音化, 高SN化
- ・クロストーク雑音抑圧

### 低電圧・低雑音アンプ, ADC技術の開拓

- ・アナログSW低電圧動作: グラウンデッドSW  
スイッチトオペアンプ
- ・アンプの信号振幅拡大: Rail-to-rail入力/出力電圧範囲
- ・フリッカ雑音抑圧: チョツパ回路  
オートゼロ方式

# 低電圧動作チョツパンプの回路構成

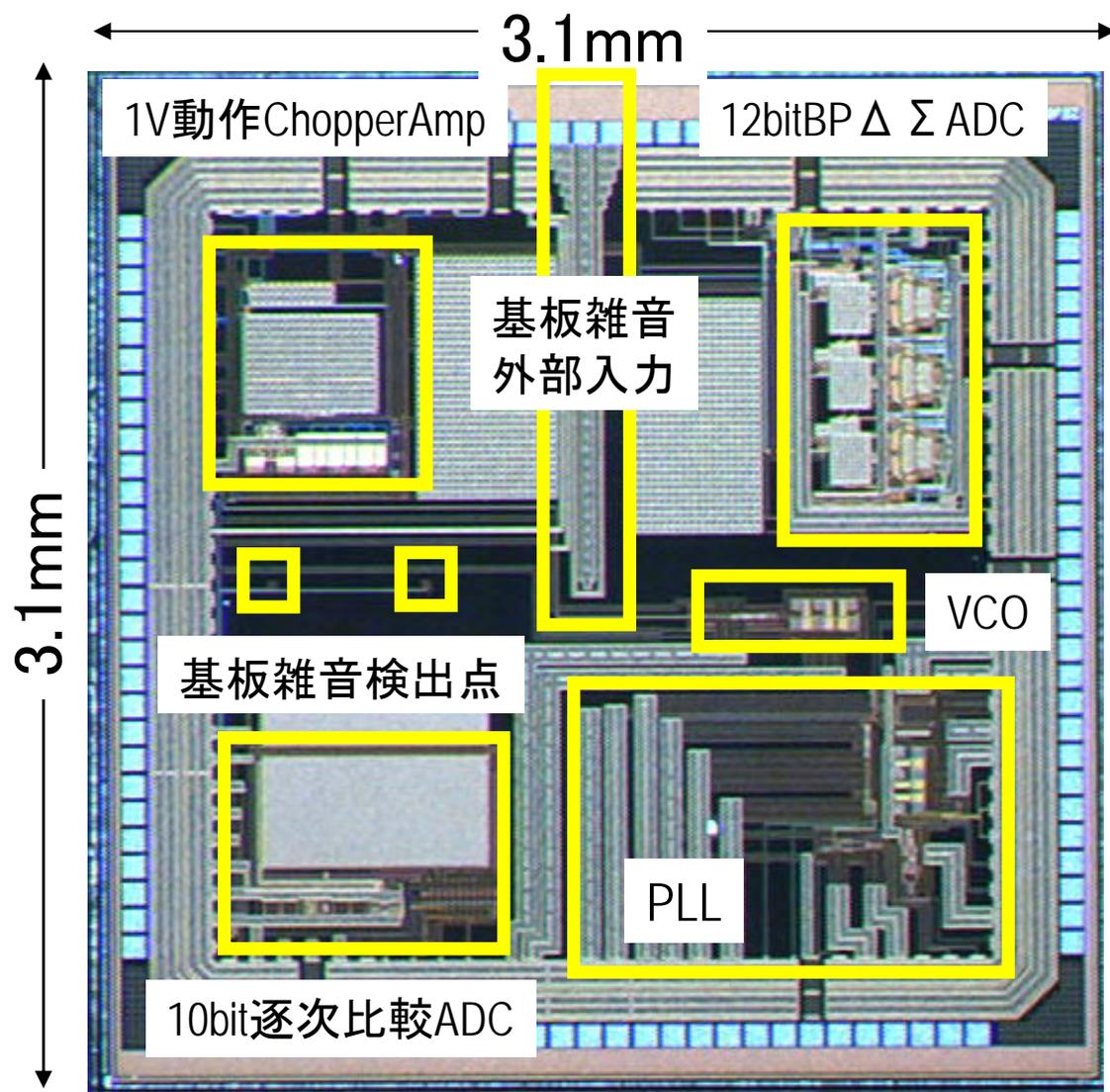


全差動4出力スイッチトオペアンプ

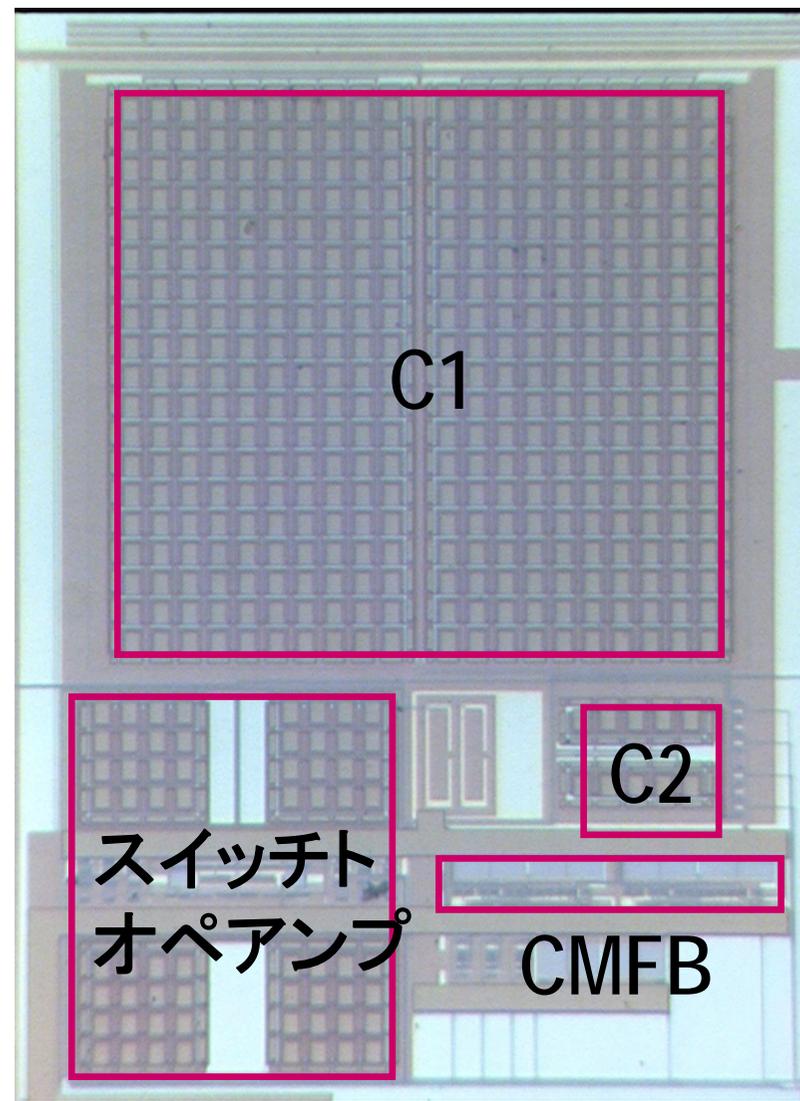
オートゼロ動作

# 低電圧・低雑音テストチップ 2005年

## チョツパンプ

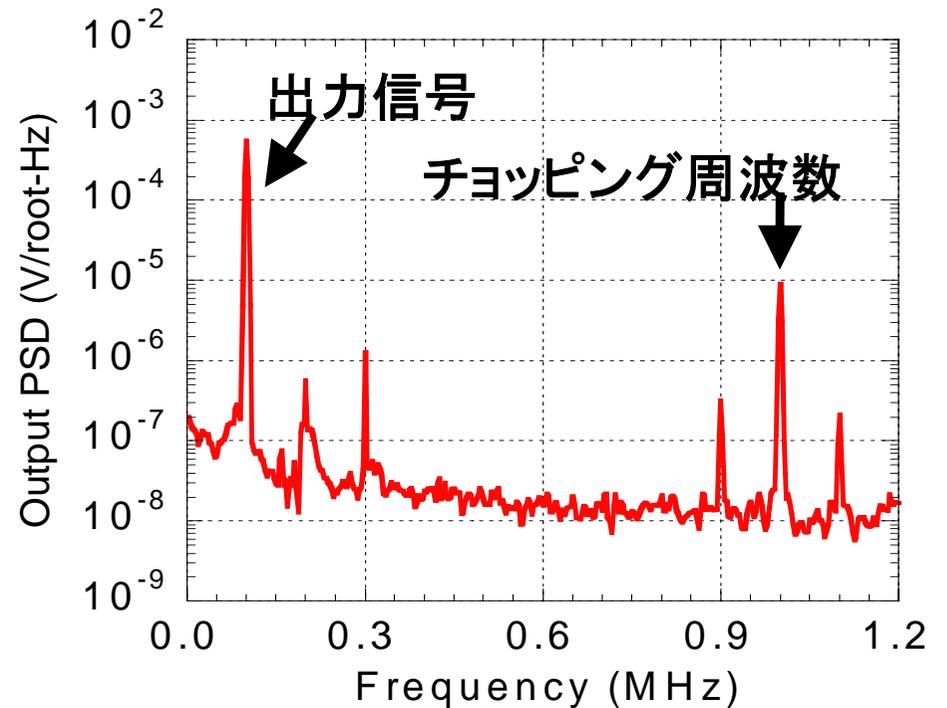
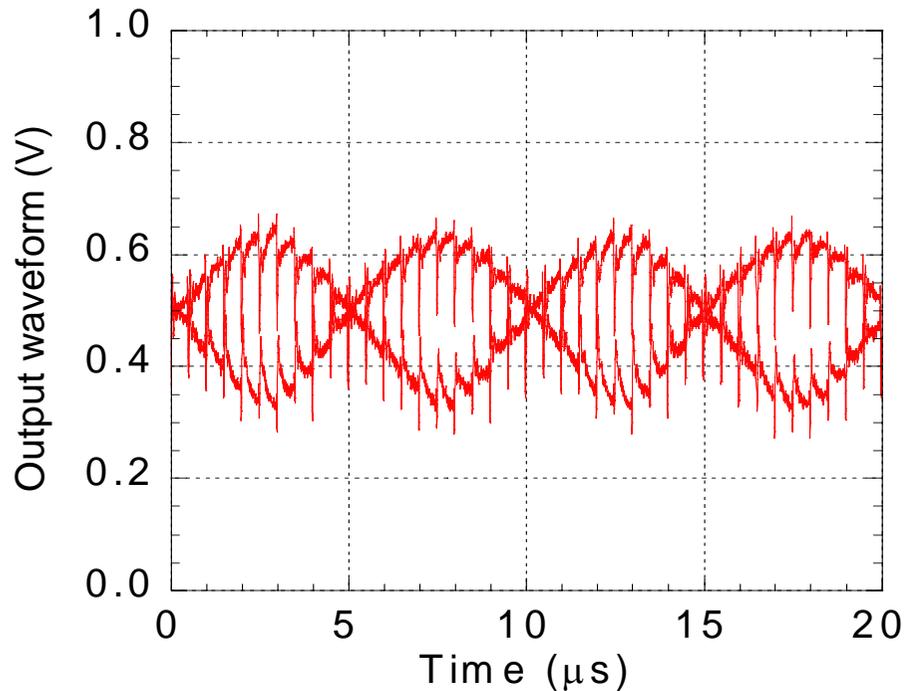
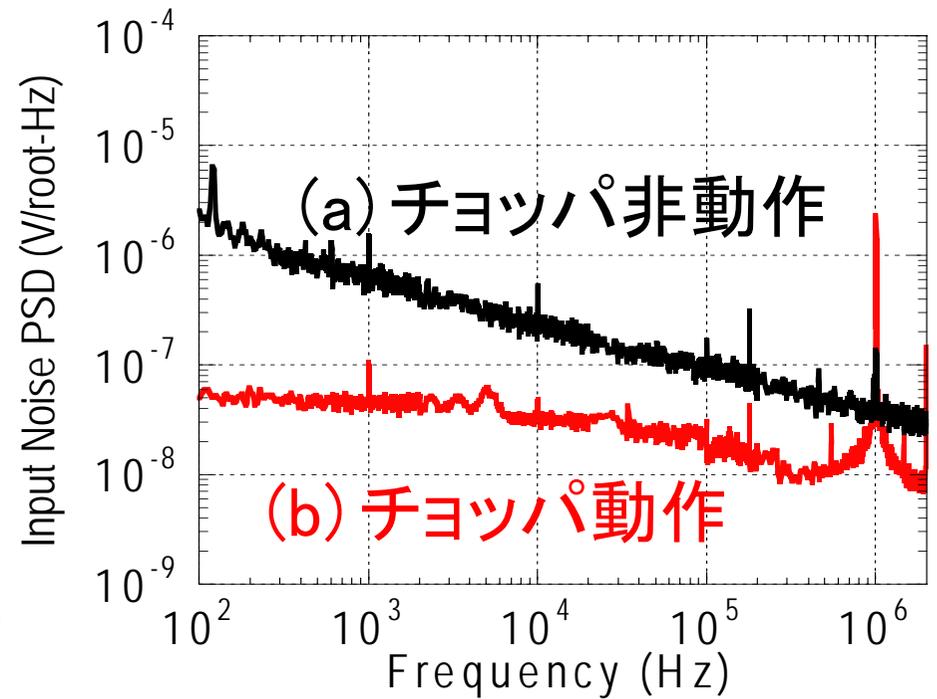
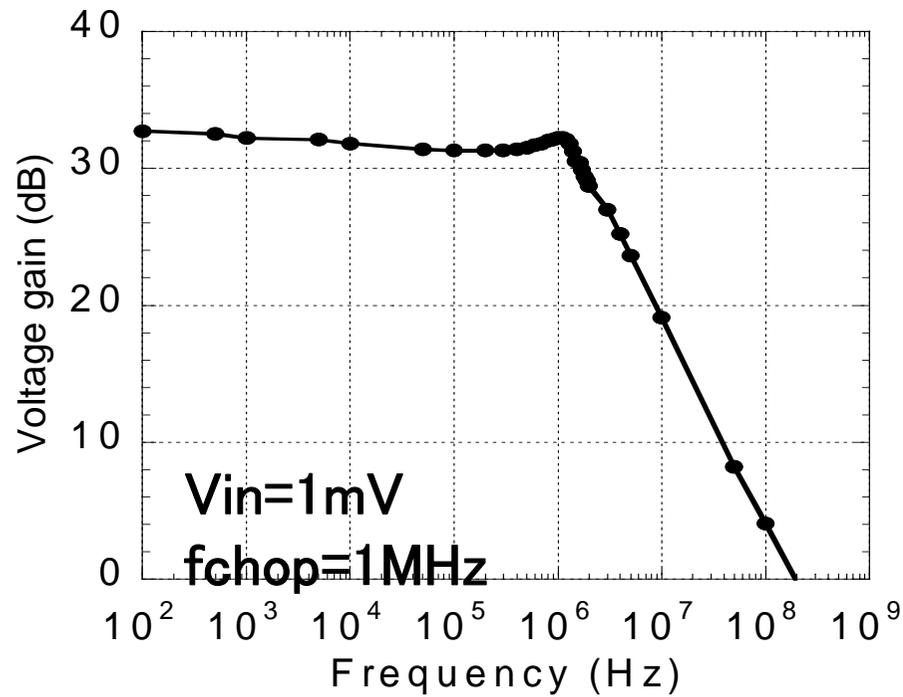


TSMC 0.18-um CMOS



電源電圧:1V

# チョツパンプの実測特性



## STARC共同研究3

# 超低電圧動作・変調ドメイン信号処理 アナデジ融合回路の研究

2006～2008年度

岩田 穆, 吉田 毅, 升井義博, 有田真一, 浴良仁, 小畠康志

上級研究員: 益子(STARC)

客員研究員: 後藤(富士通:主査), 中塚(松下), 太矢(沖), 濱田(東芝),

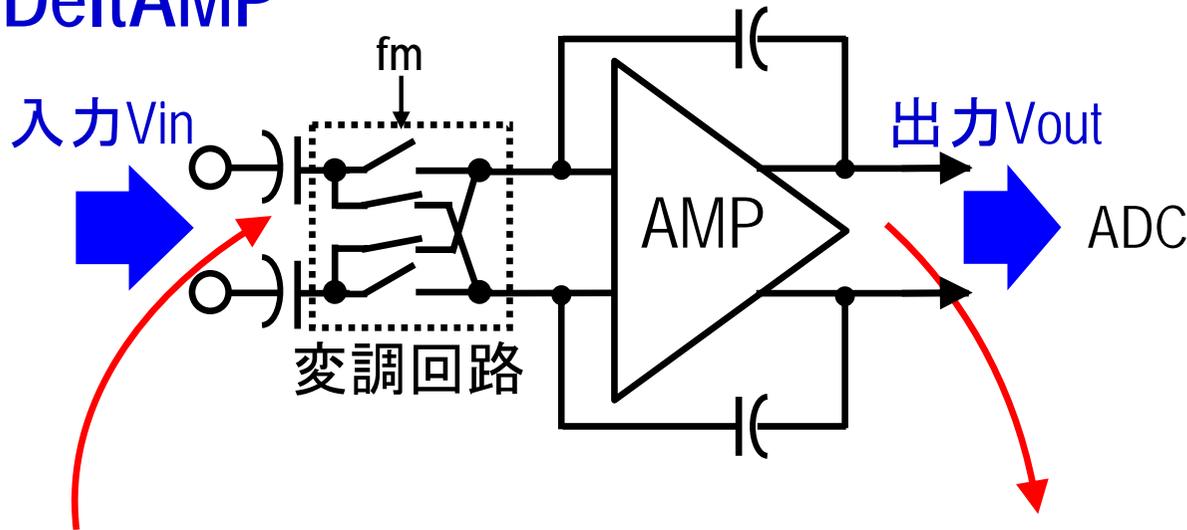
変調ドメイン信号処理技術を用いた超低電圧動作AD融合回路  
(Delta Modulation Domain Analog-Digital Circuit Architecture:DAD)

低電圧化: 新変調方式 差分増幅回路(DeltAMP)  
DeltAmpに整合したAD変換回路

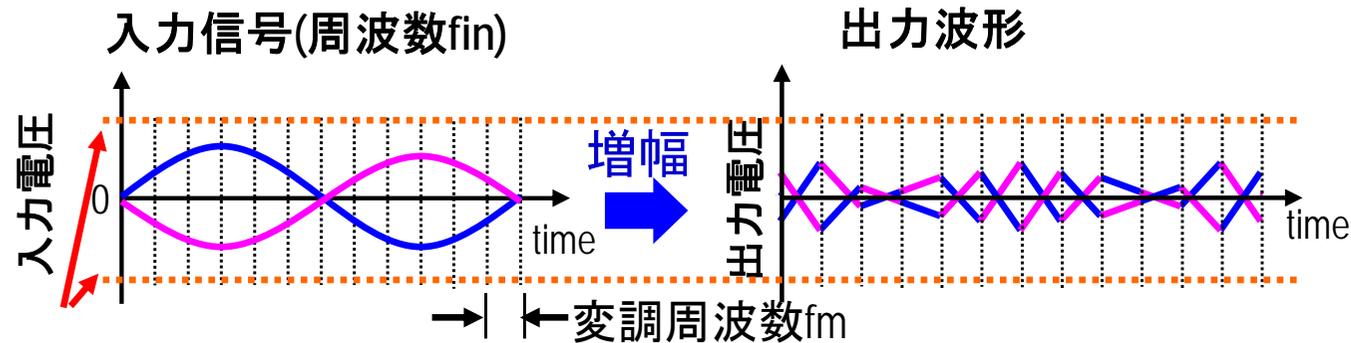
広DR化: 変調ドメイン・デジタルアシスト信号処理

# 差分増幅回路(DeltAMP)の原理

## DeltAMP



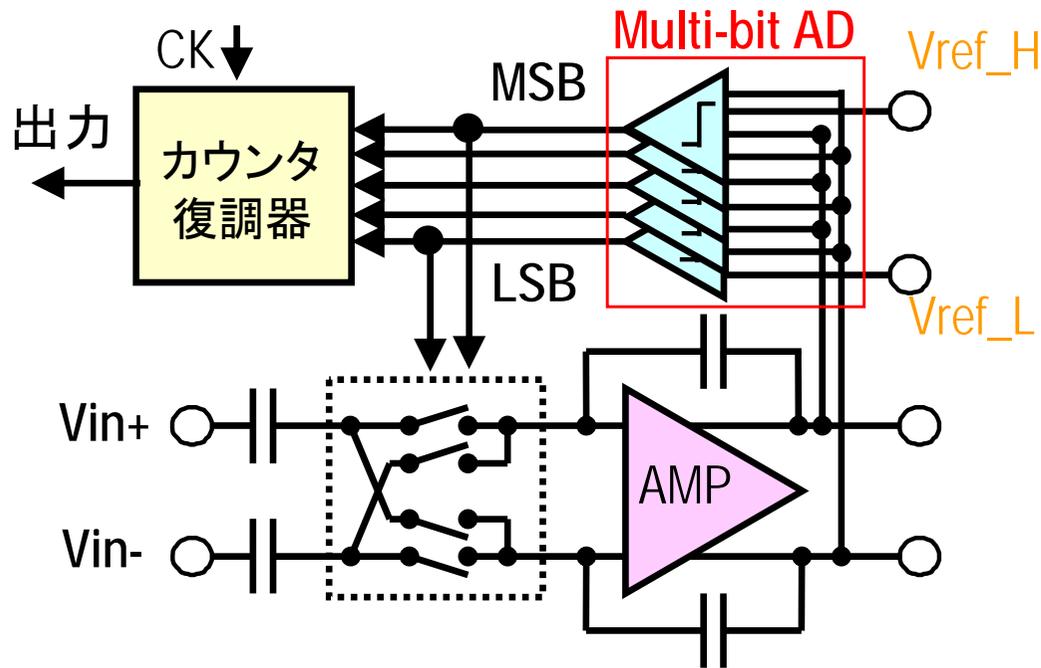
- ・低電圧動作  
→Feedback構成+VGスイッチ
- ・低雑音  
→変調動作により1/f雑音回避
- ・高線形性  
→出力振幅圧縮
- ・高DR化  
→信号変化分のみを抽出



アナログ電源電圧

入力信号の変化分のみ増幅

# DAD(ATD)の提案



## ATDの理論S/N値

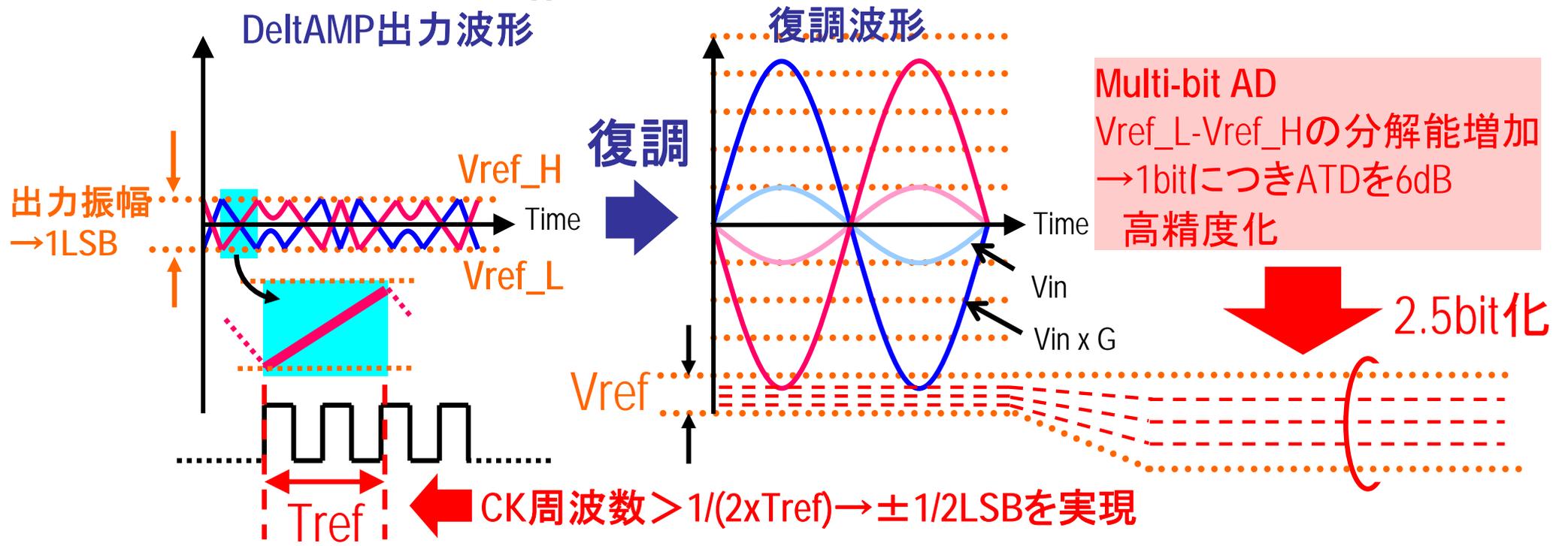
$$S/N \text{ (dB)} = 6.02n' + 1.76 + 10\log_{10}M$$

但し,  $n' = \log_2(V_{in} \times G / V_{ref})$

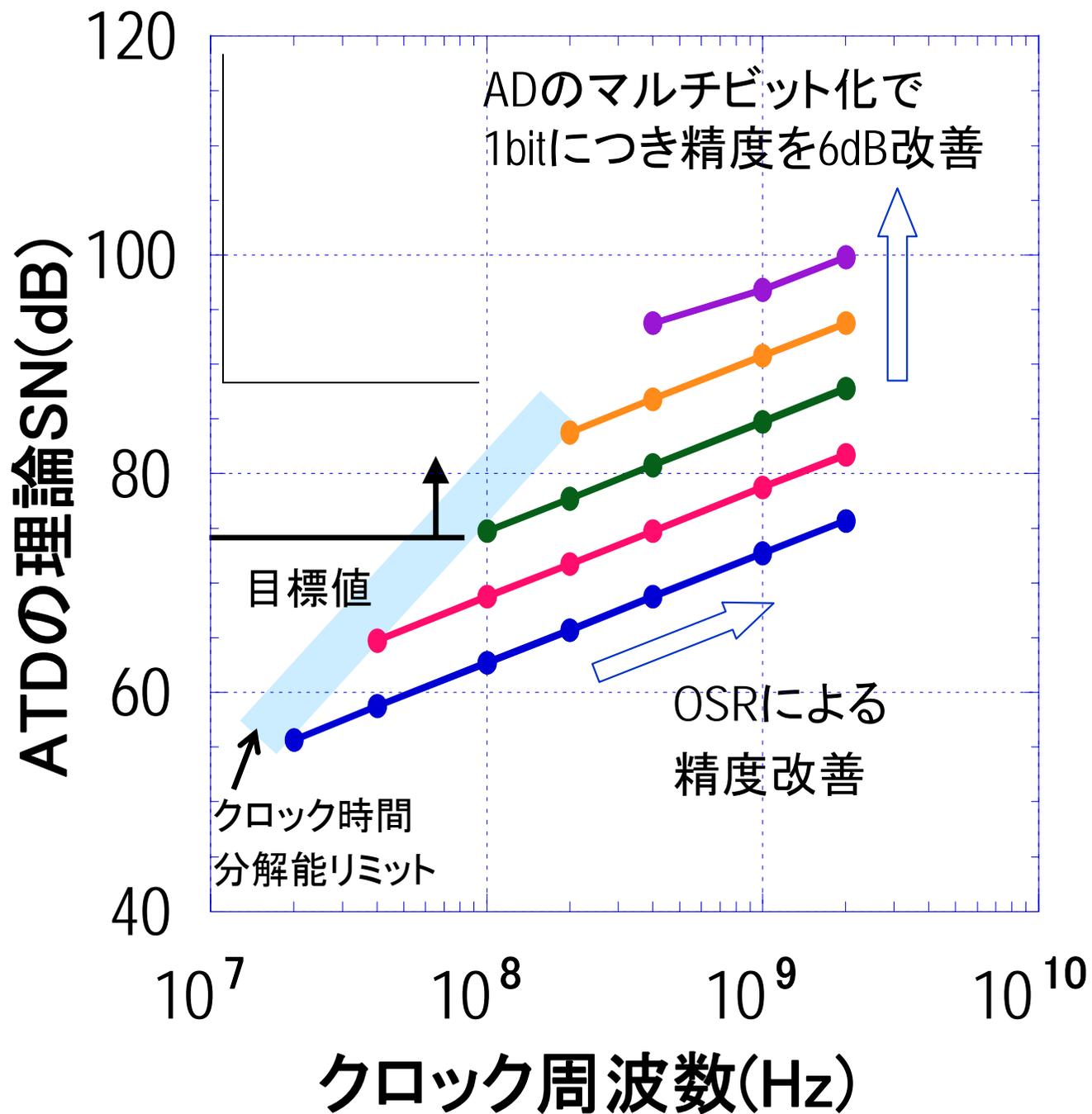
$V_{in}$  = 入力信号振幅,  $G$  = AMP利得,

$V_{ref}$  = DeltAMP出力振幅,

$M$  = Over Sampling Ratio



# ATDの性能目標



- 1bitAD
- 1.5bitAD
- 2.5bitAD
- 3.5bitAD
- 4.5bitAD

- 電源電圧 0.5V
- 信号帯域 100kHz
- 精度 80dB(13bit)
- 消費電力  $25 \mu W$
- 振幅拡大率 20dB

AMP Gain: 26dB  
fs: >100MHz  
Flash-AD: 3.5bit

STARC共同研究

高性能アナログデジタル混載LSIの  
設計・評価技術

AD混載LSIのクロストーク雑音  
の解析・測定技術

1996-2000年度

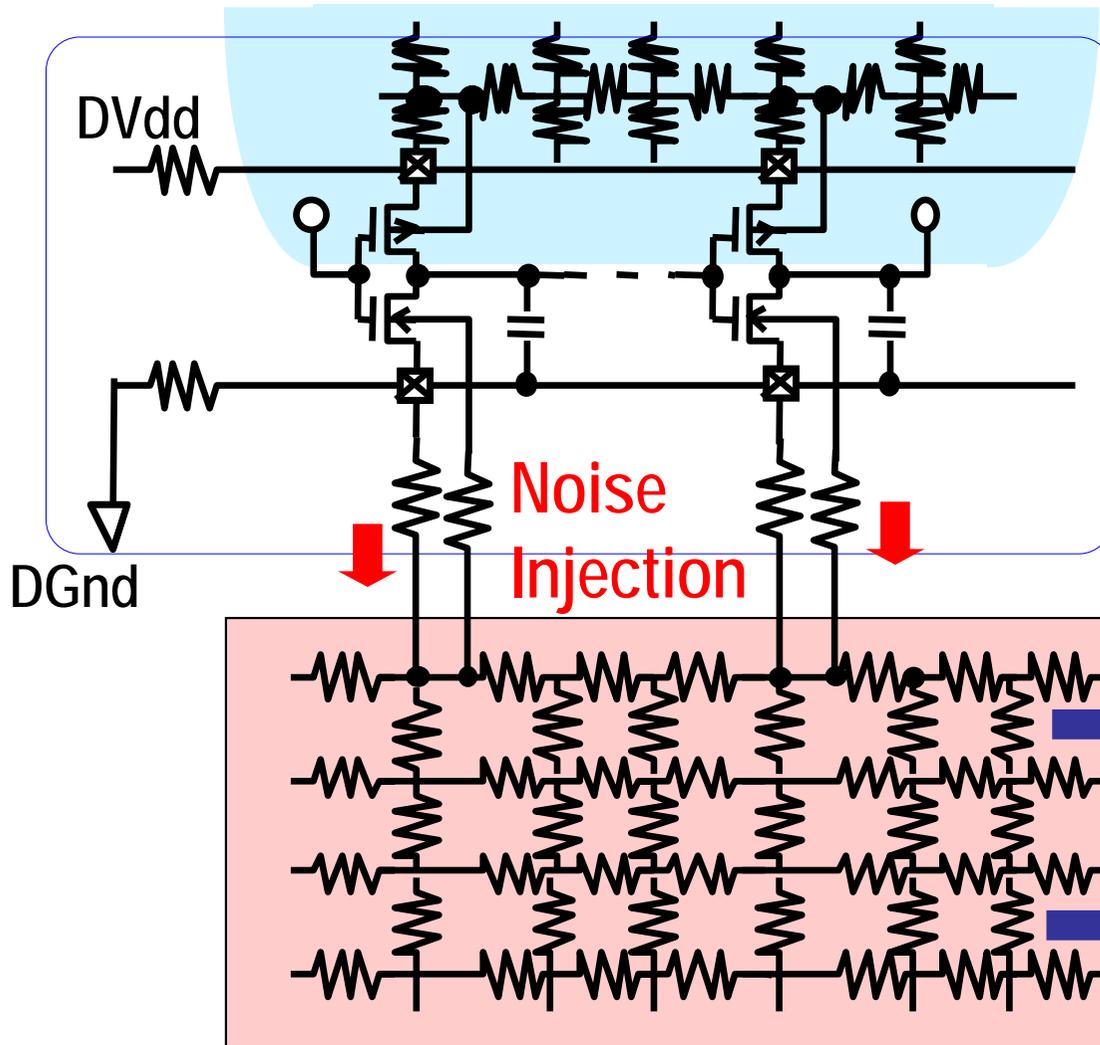
永田, 小沢, 益子, 飯田, 石川, 四柳,  
土方, 村坂, 吉川, 兎玉,

# AD混載LSIの雑音原因

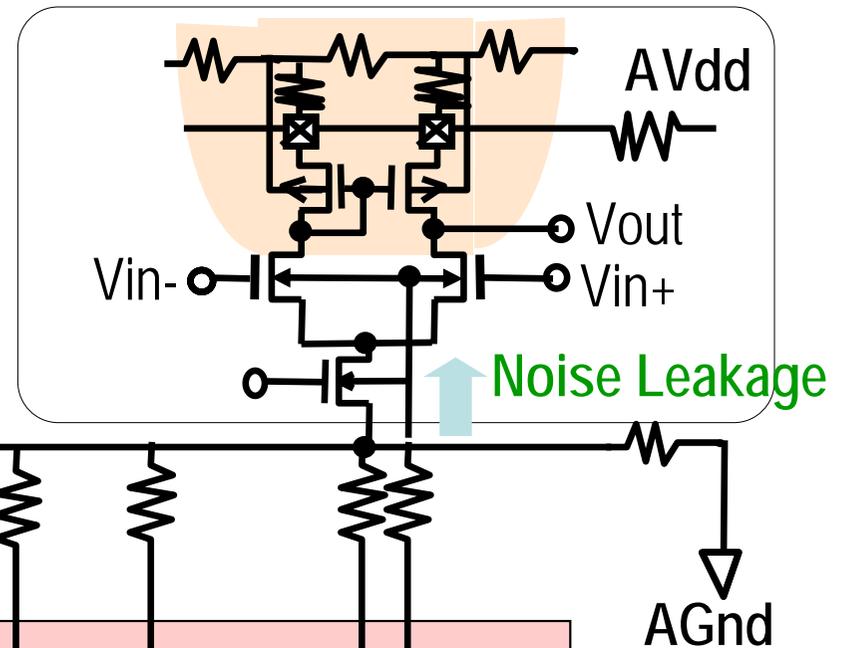
ノイズの発生原因	ノイズの種類
▪ 論理回路の遷移 及びグリッチ	▪ 寄生容量を介した電源,基板の電位変動 ▪ 過渡電流による電源,基板の電位変動
▪ 素子の雑音	▪ 素子の雑音 (熱雑音,ショット雑音) ▪ 素子特性のばらつき (しきい値, 飽和電流)
▪ システム的誤差	▪ 量子化誤差 ▪ 折り返し雑音
▪ 環境からの影響	▪ 温度変動, 経時変化

# アナデジ混載LSIのクロストーク雑音

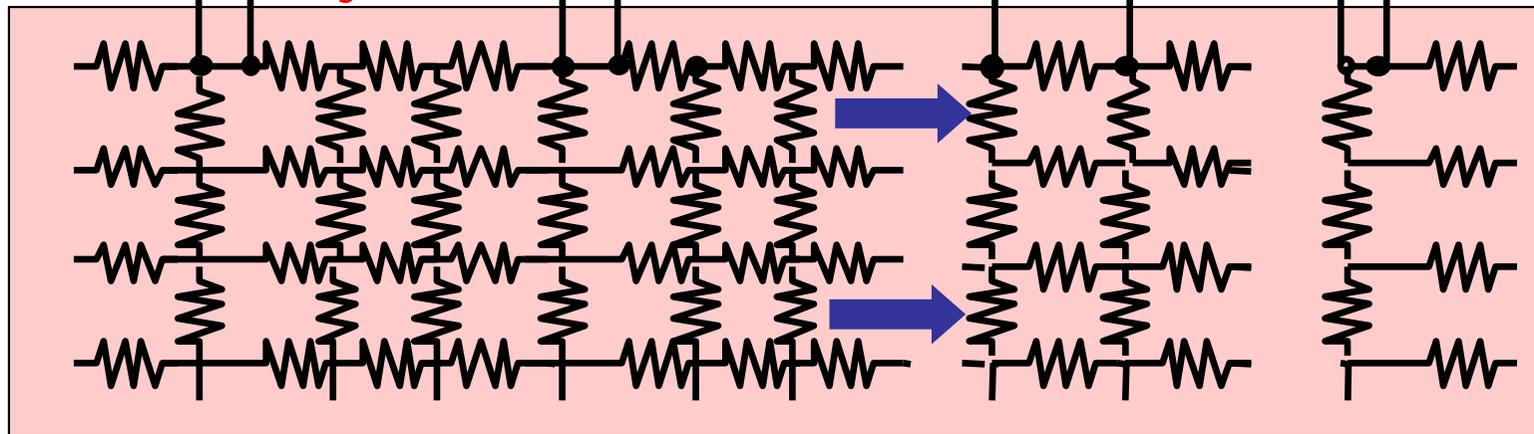
## Digital Noise Generation



## Analog Circuit Sensitivity



## Substrate Noise Transmission



# 電源・基板雑音測定評価

## 1. 雑音評価テストチップ設計

雑音生成方式：モデル化雑音源論理（各種パラメータ可変）  
実動作論理回路，動作ベクタ，

測定項目：雑音プローブによる基板雑音、電源・グランド雑音  
雑音波形（繰り返し，単発），ピーク頻度  
アナログ回路の特性  
（ジッタ，位相雑音，SNR，・・・）

## 2. 雑音測定（論理回路、アナログ回路）

測定データ取得，データ処理，雑音生成メカニズム解析  
実測との比較評価

## 3. 雑音測定・評価システムの構築

# 雑音評価テストチップ構成技術

## 雑音源

アナログ回路

Bufur Amp

VCO

Modulator

Charge Pump

デジタル回路

TCNS

Driver (LED)

PLL Div.

Frac.N ( $\Delta \Sigma$ )

## 雑音伝播経路

Isolation構造

ガードバンド

ウエル, トレンチ

低抵抗 / 高抵抗

電位の固定方法

Gnd wire, Sub. Con.

距離効果

中間回路の影響

## 雑音の影響を受ける回路

アナログ回路,

定量測定用回路 NDET

Noise Det1 (SF+LC) : D, BW=1G

Noise Det2 (SH+LC) : D, BW=5G

VCO : A, Jitter, Phase Noise

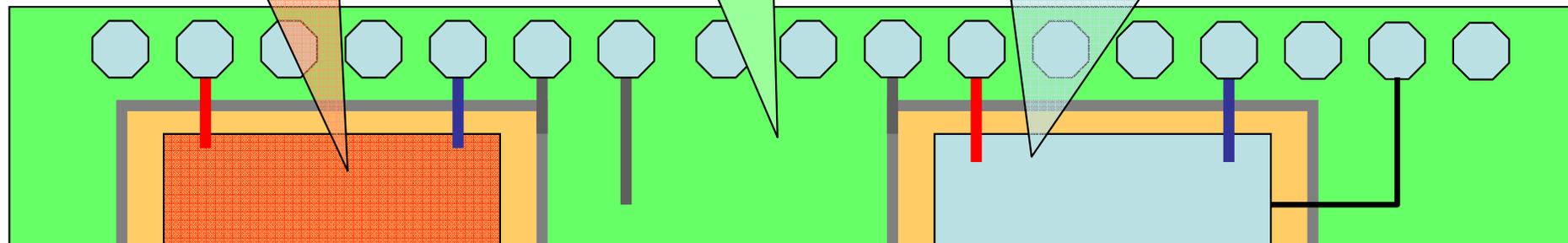
Delay Line : A, Jitter, Phase Noise

PLL,

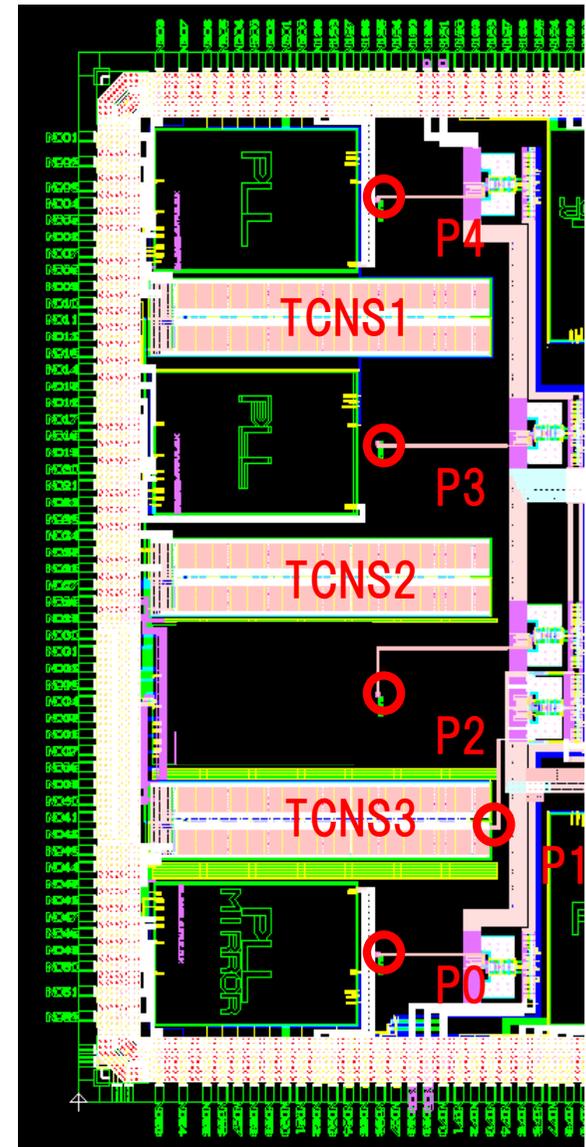
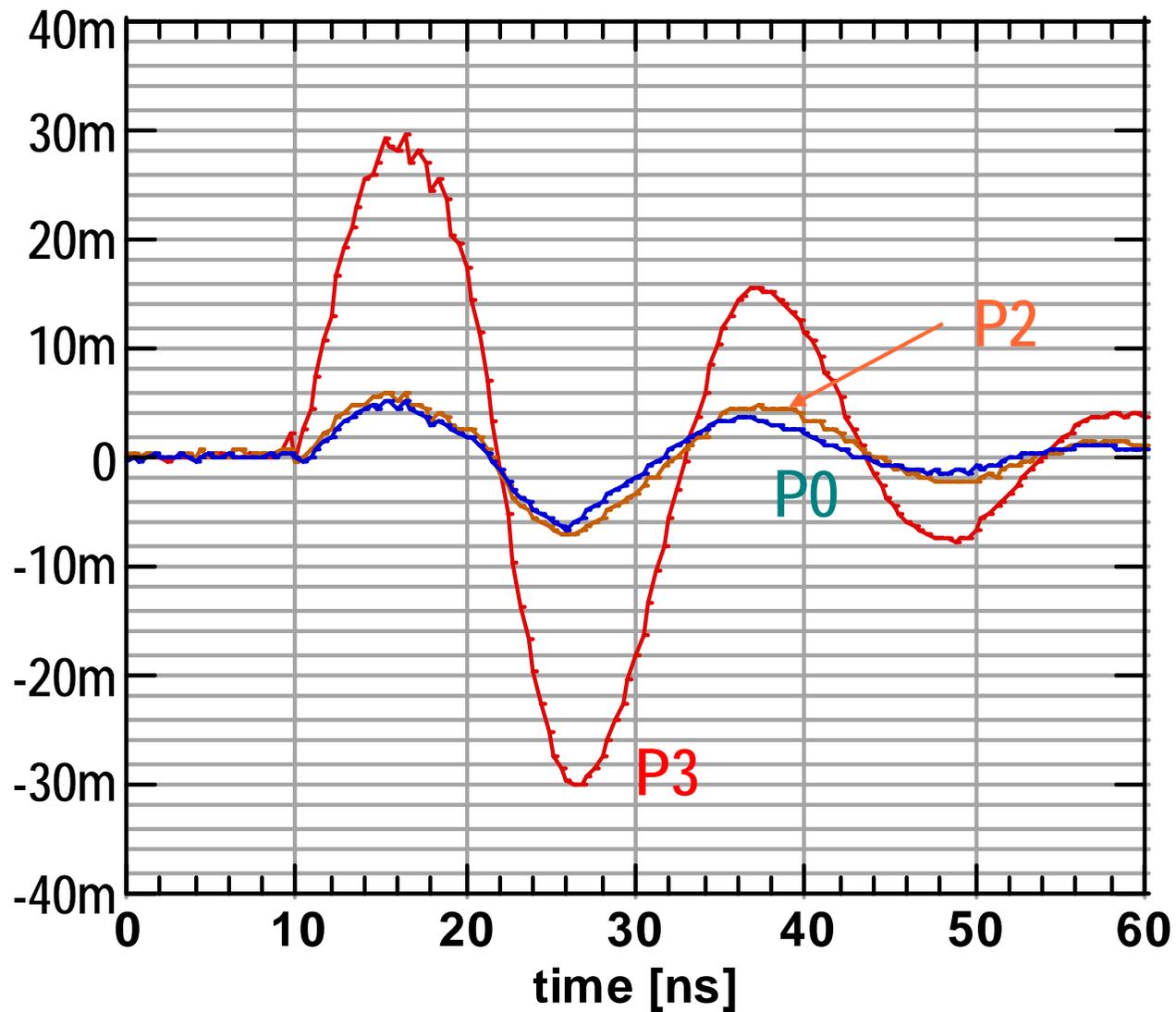
ADC ( $\Delta \Sigma$ )

フィルタ (SCF, gmC)

受光アンプ



# グラウンド・基板雑音 実測波形



# 雑音モデリング・シミュレーション技術

## 大規模AD混載LSIの設計品質向上

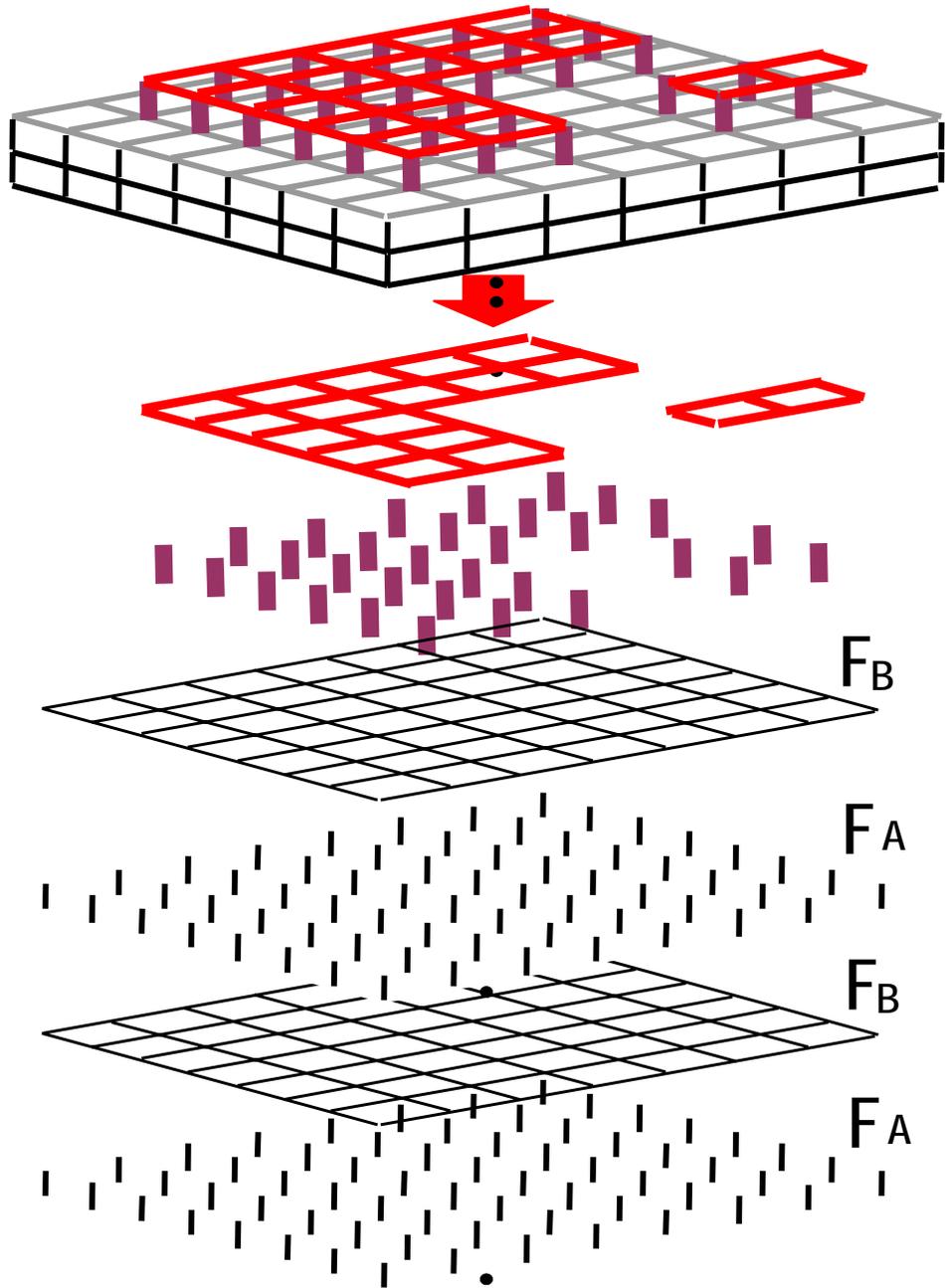
- ・クロック周波数(1~5GHz)
- ・アナログ(KHz帯~), RF(~10GHz帯)をデジタルと混載.

1. 雑音解析モデル作成

2. 雑音シミュレーション技術・CAD環境構築

3. 耐雑音アナログIP, 低雑音論理IPの開発

# Fマトリクス演算によるノードの削減



$$\begin{bmatrix} V_{\text{top}} \\ I_{\text{top}} \end{bmatrix} = \underbrace{F_B F_A}_{\text{Gnd Wire}} \underbrace{F_B F_A}_{\text{Substrate}} \dots \begin{bmatrix} V_{\text{btm}} \\ I_{\text{btm}} \end{bmatrix}$$

Layer B

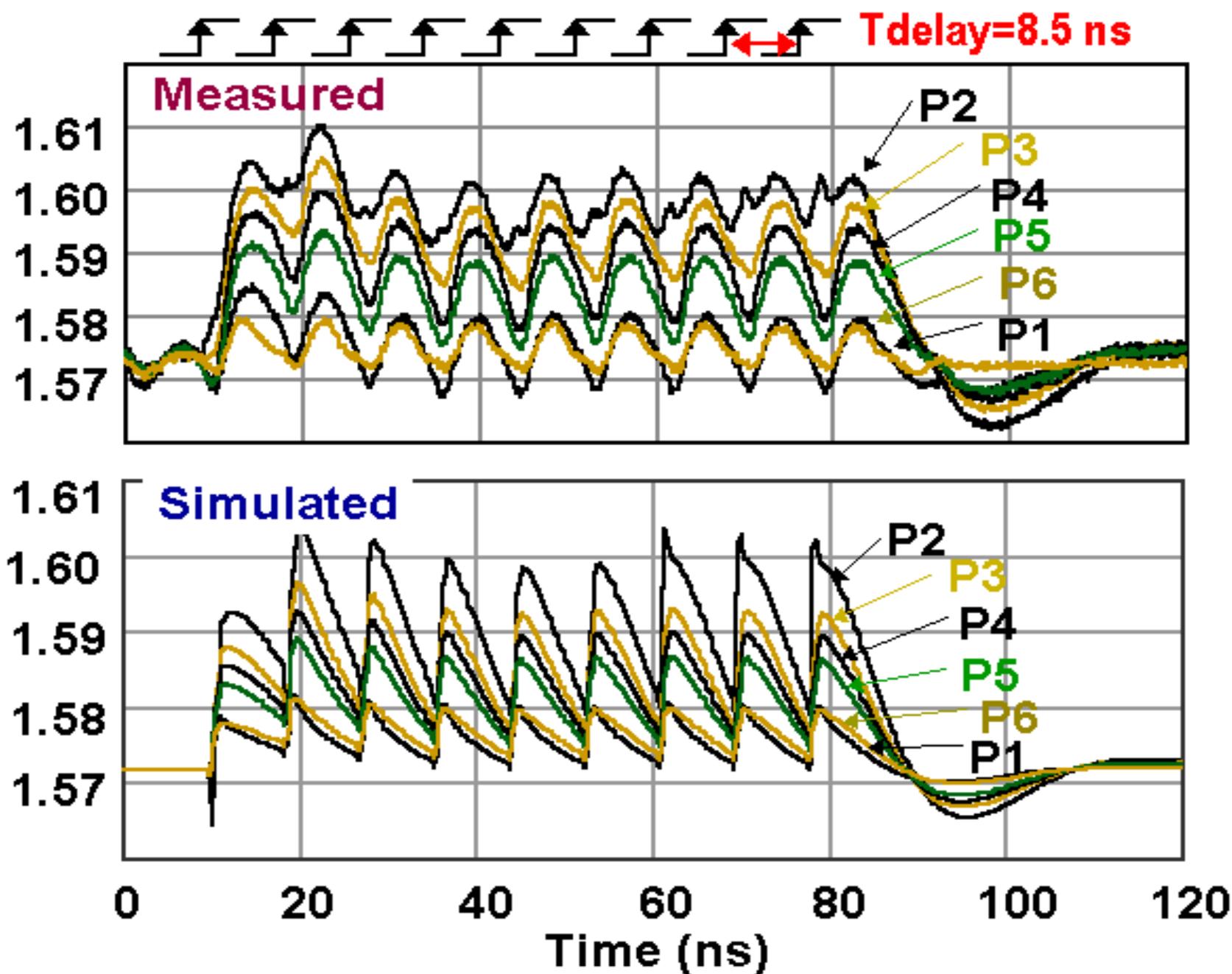
$$\begin{bmatrix} V_i \\ I_i \end{bmatrix} = \underbrace{\begin{bmatrix} E & 0 \\ Y & E \end{bmatrix}}_{F_B} \begin{bmatrix} V_{i+1} \\ I_{i+1} \end{bmatrix}$$

Layer A

$$\begin{bmatrix} V_j \\ I_j \end{bmatrix} = \underbrace{\begin{bmatrix} E & R \\ 0 & E \end{bmatrix}}_{F_A} \begin{bmatrix} V_{j+1} \\ I_{j+1} \end{bmatrix}$$



# 基板雑音波形実測とシミュレーションの比較



# ポストデジタルLSI

メモリ・マイクロプロセッサ,  
ムーアの法則から脱却

アナデジ融合回路

ニューラルネット

生体情報処理 ブレイン

非決定論的情報処理 確率動作

# ポストデジタルLSI研究会

A. Iwata



EIC

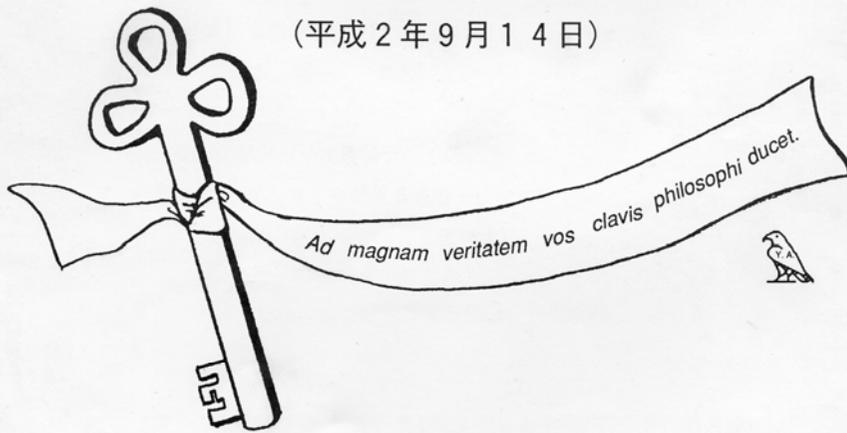
電子情報通信学会

## 新しい集積回路の原理を探る

自然態の情報処理方法に向けて

ポストデジタルLSI  
時限研究専門委員会

(平成2年9月14日)



PDL

雨宮好人先生と共同で全国行脚  
広大で広瀬先生，阿江先生を訪問

新しい集積回路の原理を探る

— 自然態の情報処理方法に向けて —

(平成2年9月14日)

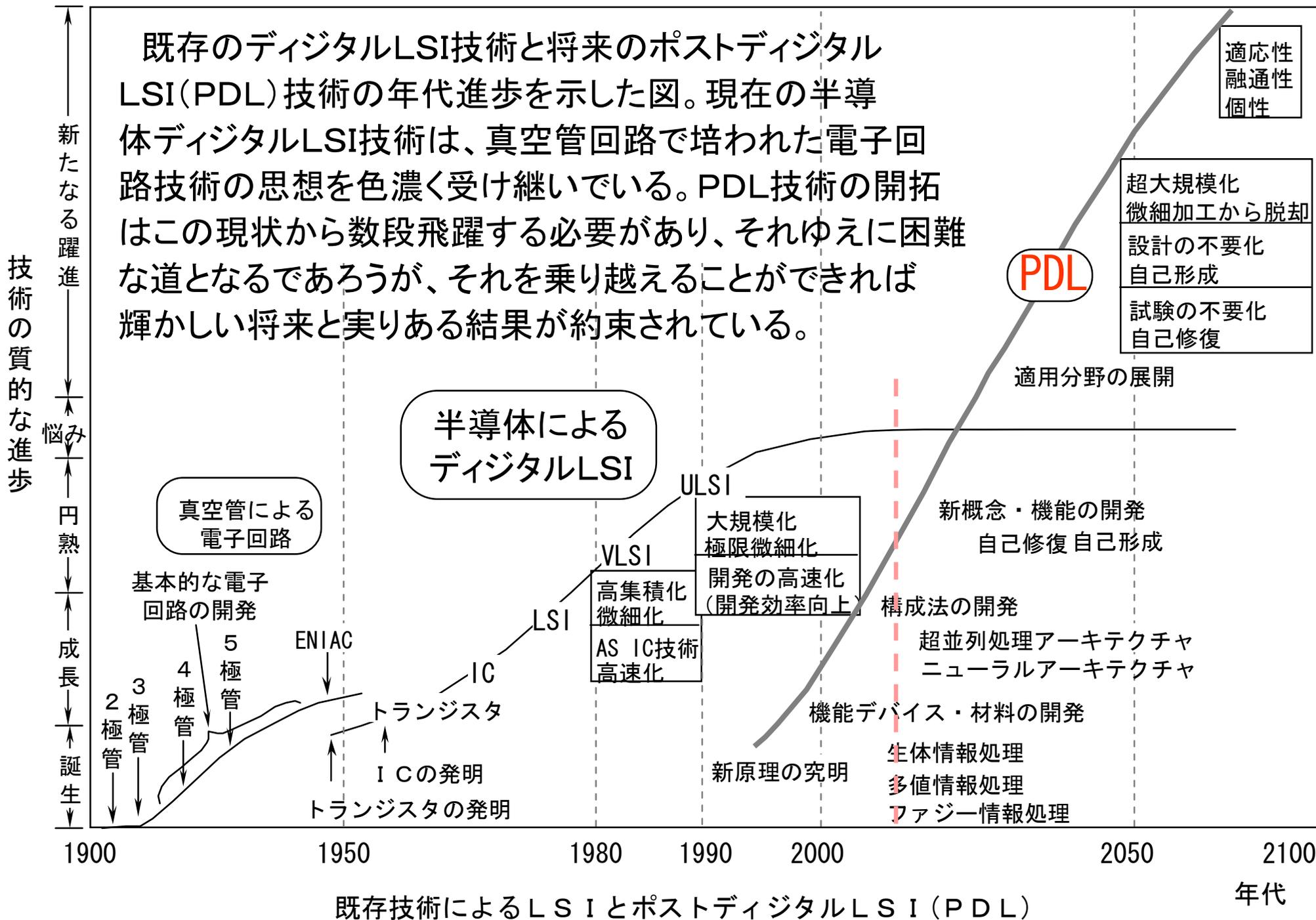
[目次]

講演会の開催にあたって	2
— 新しい集積回路の原理を探る —	
岩田 穆 (PDL委員長, NTT)	
自己組織型情報処理システム	6
— かくして脳に迫る —	
沢田 康次 (東北大)	
ホロンコンピュータ	10
— 大脳機能の模倣へ —	
清水 博 (東大)	
生体分子に学ぶバイオ集積デバイス	20
— 半導体LSIを超えるもの —	
品川 嘉也 (日本医科大)	
ポストデジタルLSI時限研究専門委員会の活動	24

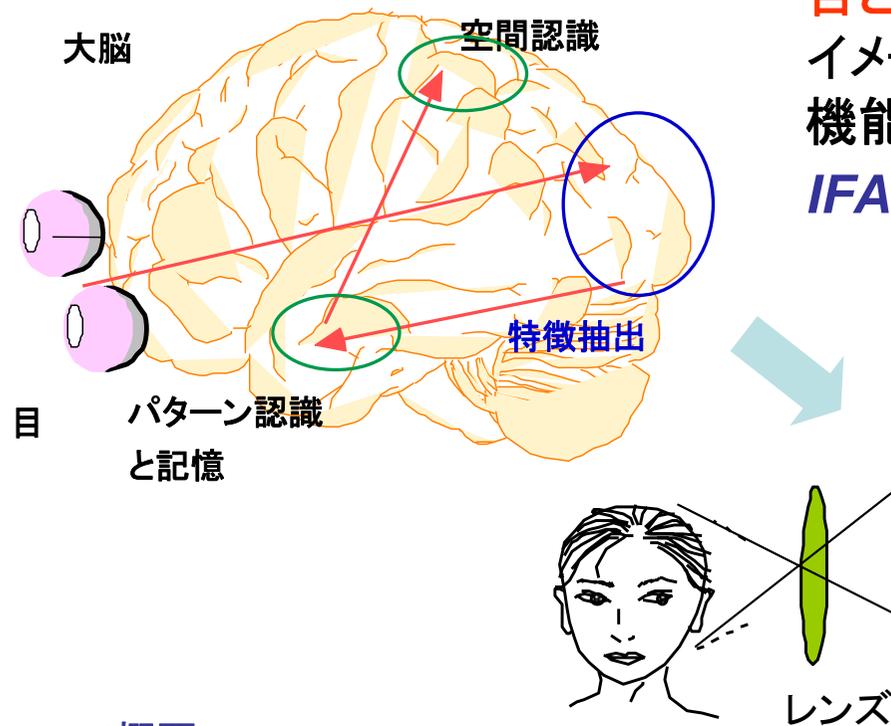
(電子情報通信学会 ポストデジタルLSI時限研究専門委員会)

# ポストデジタルLSI

既存のデジタルLSI技術と将来のポストデジタルLSI(PDL)技術の年代進歩を示した図。現在の半導体デジタルLSI技術は、真空管回路で培われた電子回路技術の思想を色濃く受け継いでいる。PDL技術の開拓はこの現状から数段飛躍する必要があり、それゆえに困難な道となるであろうが、それを乗り越えることができれば輝かしい将来と実りある結果が約束されている。



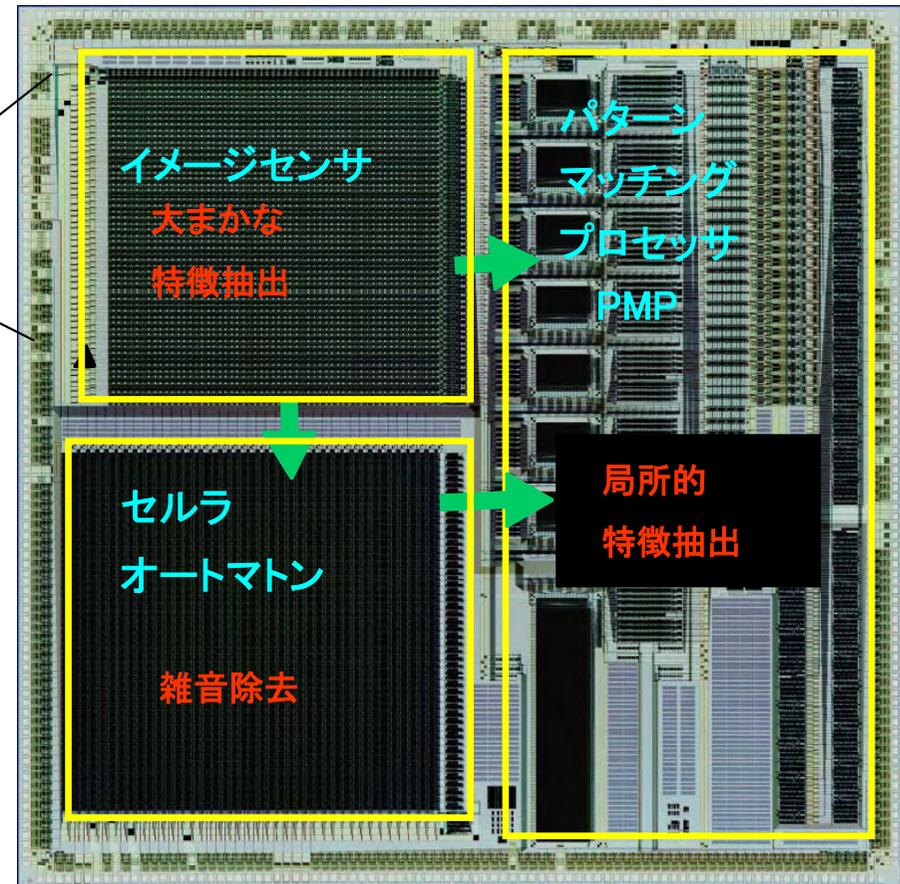
# 目と脳の機能を持つ画像処理チップ



## 目と脳の機能を1チップ化

イメージ検出と特徴抽出を行い物体を認識する機能をCMOSデバイスで1チップに集積した

**IFAP** (Image Feature Associative Processor)



## IFAP概要

デバイス技術: 0.8  $\mu$ m CMOS

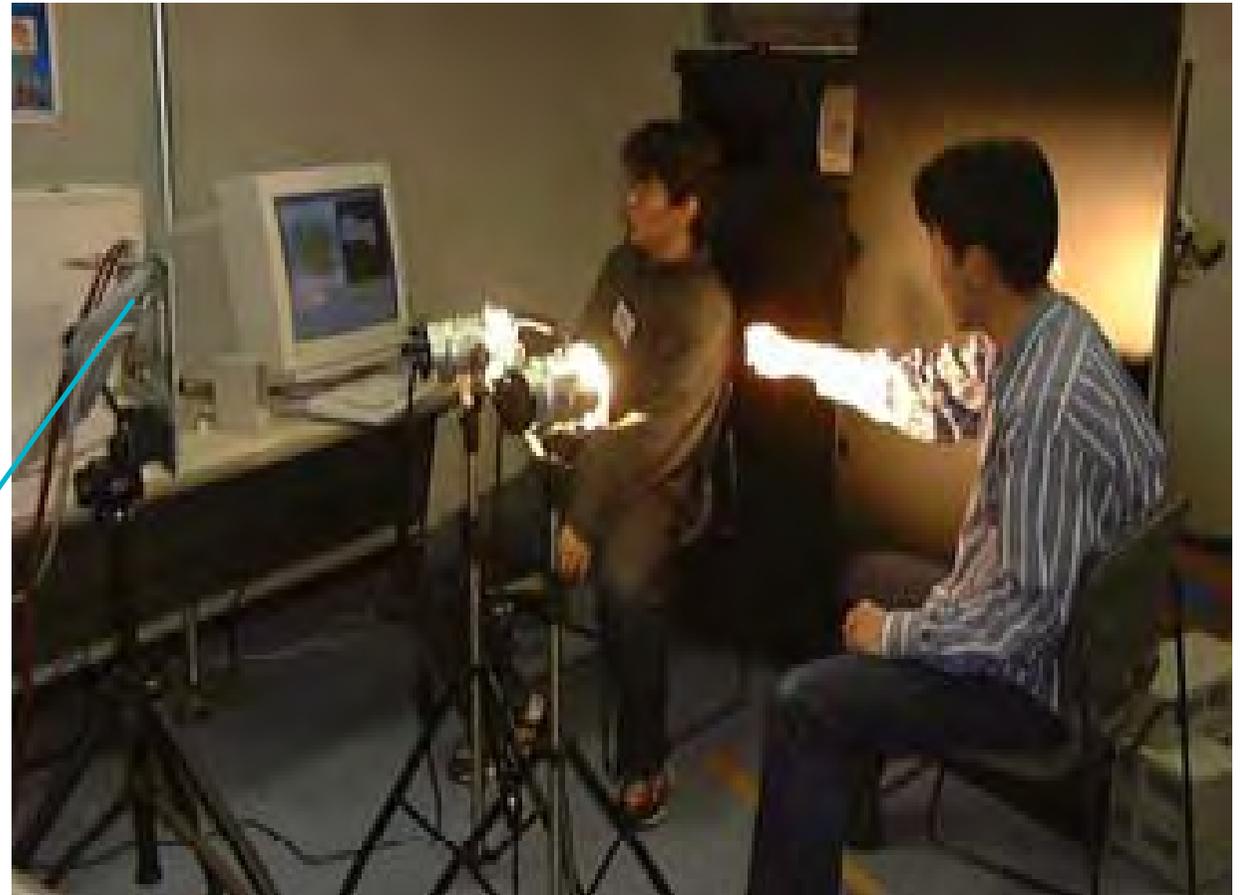
チップサイズ: 15x15mm

電源電圧: 3.3V

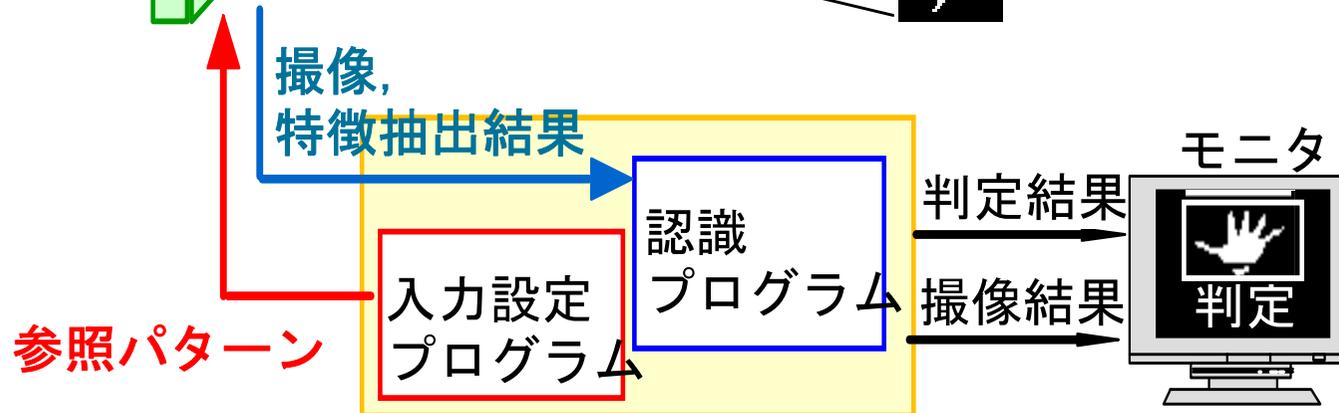
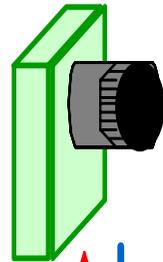
素子数 MOS: 85万個 C,R: 7339個

国際会議: VLSI回路シンポジウム'98, VLSI'99, 固体素子会議(SSDM'99)他  
受賞: SSDM, ASP-DAC, 特許登録: 3件

# IFAPを用いたじゃんけんデモシステム

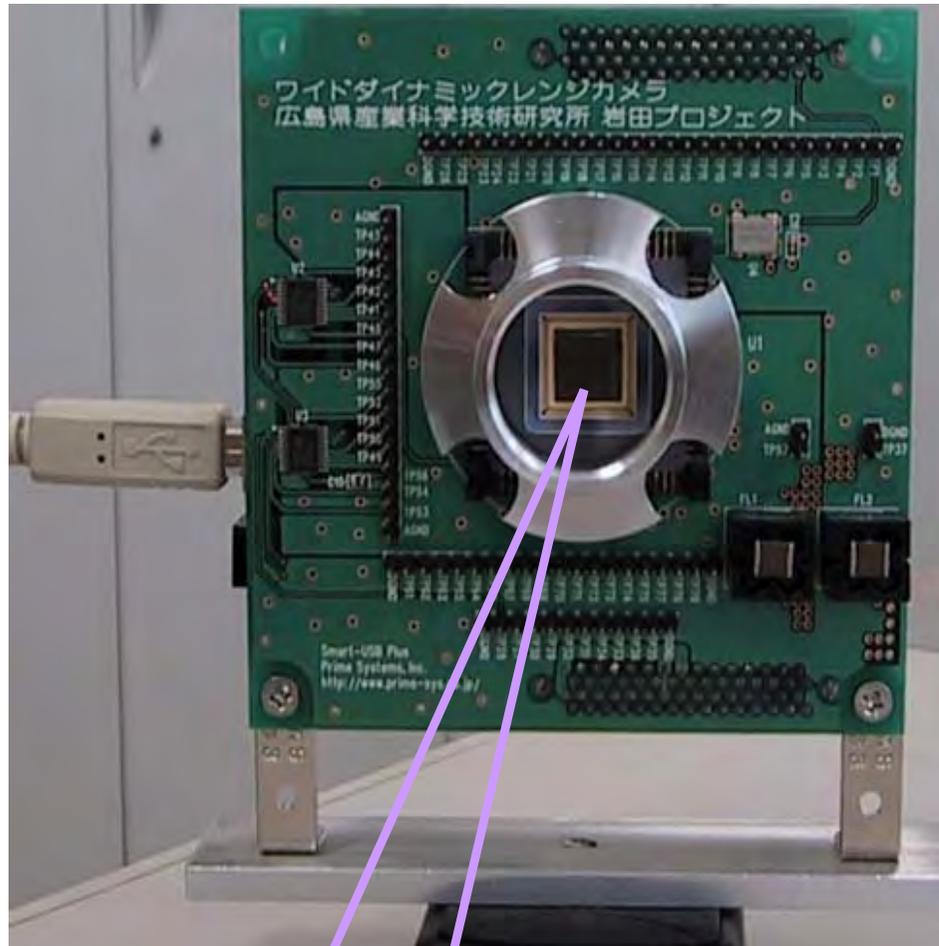


IFAPボード



# ワイドダイナミックレンジカメラ

## カメラボード



IIS-V2イメージセンサ

PC接続例  
(USB2.0ケーブルのみ)



(株)A-R-Tecで製品化

# 撮像画像(浮動小数点データ)

仮数部データ  
赤はオーバーフロー

(176x144)



室内 @指数部=2/9



室外 @指数部=5/9



蛍光灯 @指数部=8/9

# 物体検出ビジョンアルゴリズムの開発

## ステレオビジョン

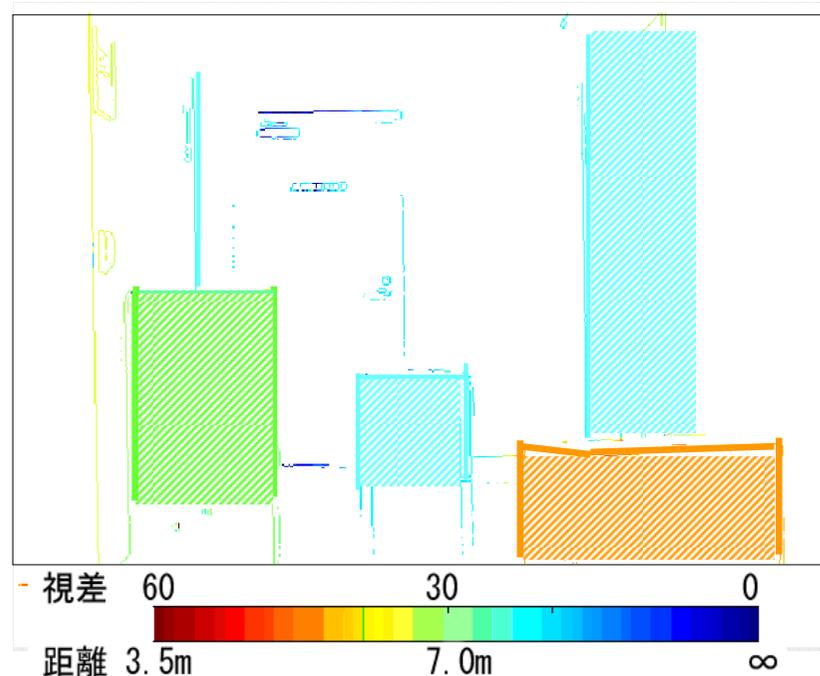
### 1. 物体位置検出

エッジを対応つけ左右の  
ずれから視差(距離)検出



### 2. 物体表面検出

領域ごとに類似度演算



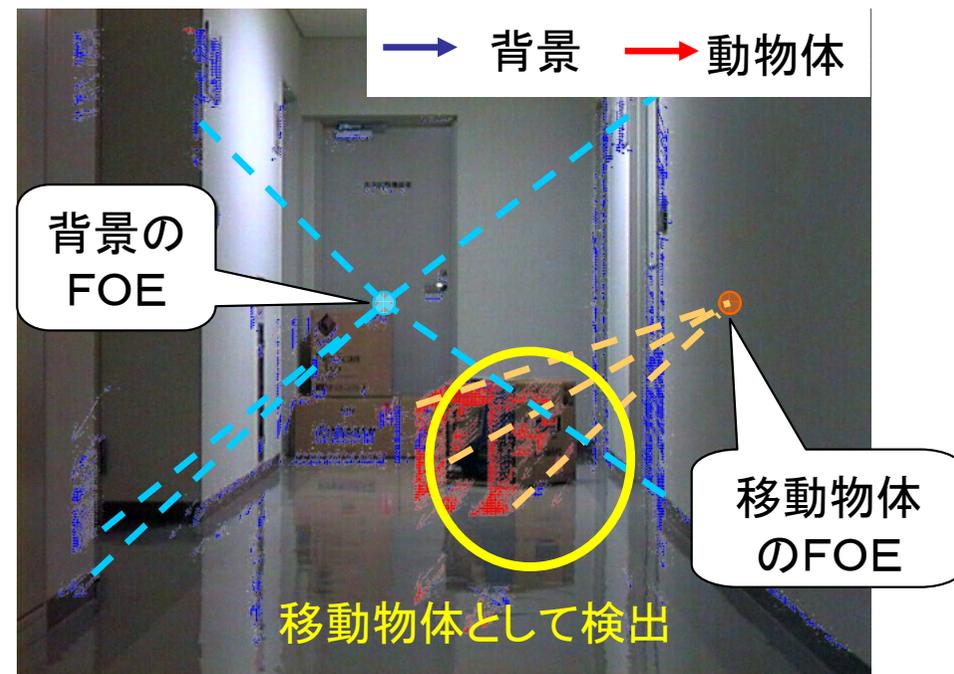
## 動きベクトル

### 1. 消失点位置で動物体検出

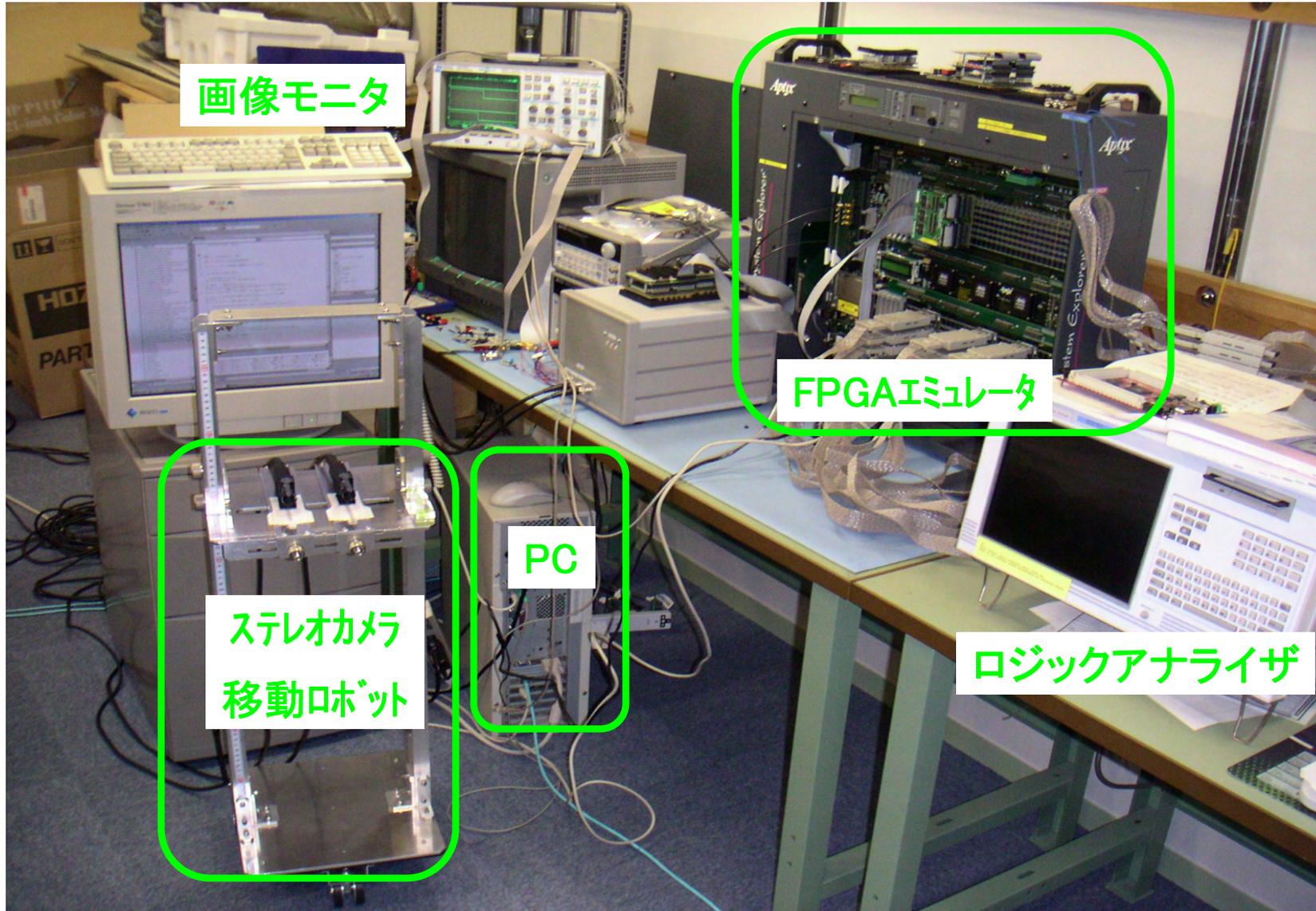
2. ベクトル方向を量子化し、  
分散を求め閾値と比較し、  
剛体と非剛体を判別

(金物)(人間)

鹿児島大学共同研究(渡邊助教授)



# ロボットビジョンのプロトタイプ概観



# 画像処理IP応用システム 穀粒判別器

食糧庁仕様で、米穀類の品位を判別。従来は目視で検査  
機械化/民間移行のため、高信頼, 高速, 低コスト, 小型化が要請

大型LCDタッチパネル  
ディスプレイ

水平搬送円盤



IRQI10A 3方向センサ

株式会社サタケで製品化

## 画像処理IP

2値

- ・面積
- ・重心
- ・フィル径

濃淡

- ・膨張
- ・収縮
- ・空間フィルタ

FPGA



# CREST ロボットにおける通信技術

石川正俊教授(東大)

佐々木守准教授, 汐崎充, 小野将寛

センサとメカとブレイン脳を整合させて

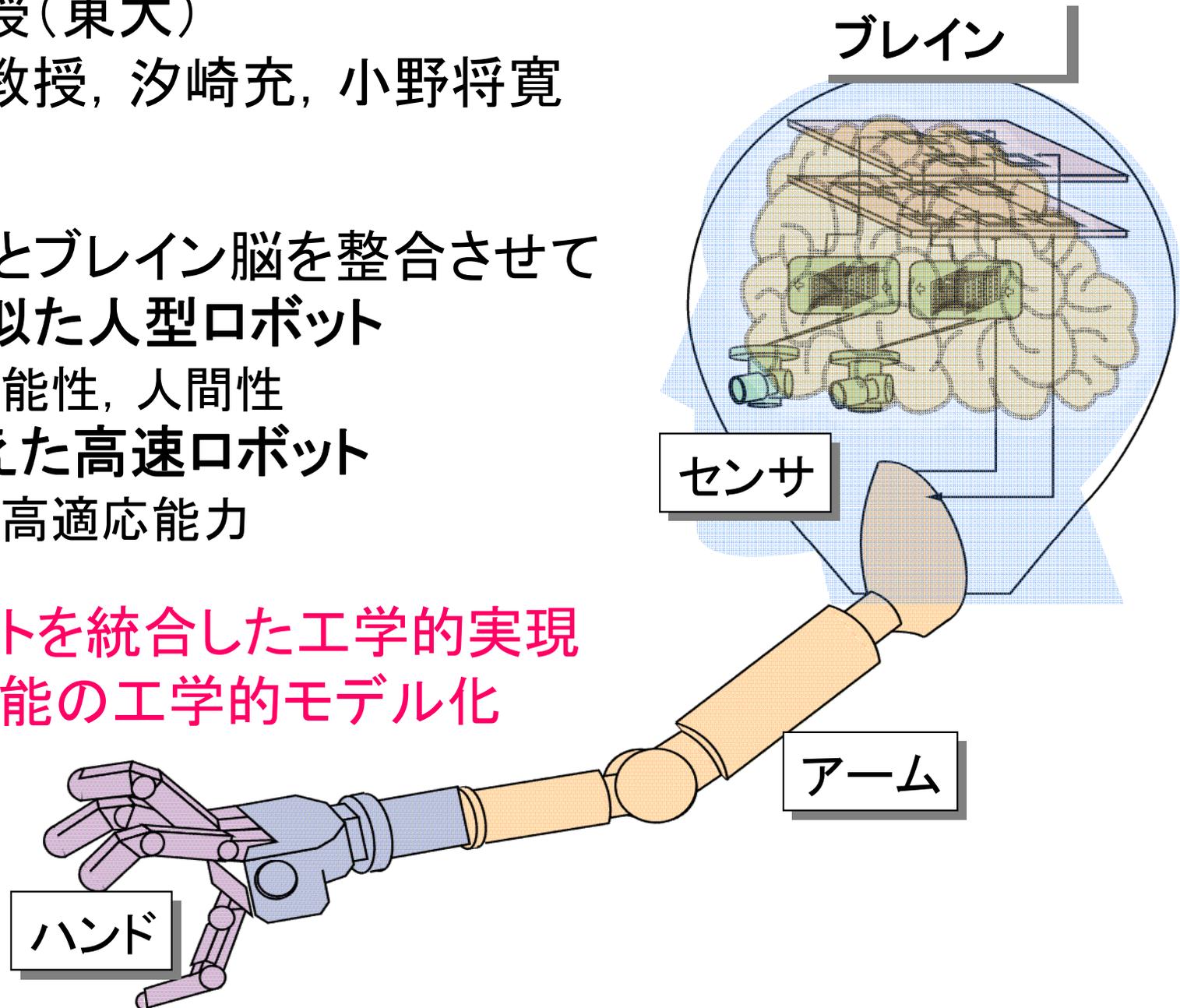
## 1.人間を真似た人型ロボット

巧緻性, 知能性, 人間性

## 2.人間を超えた高速ロボット

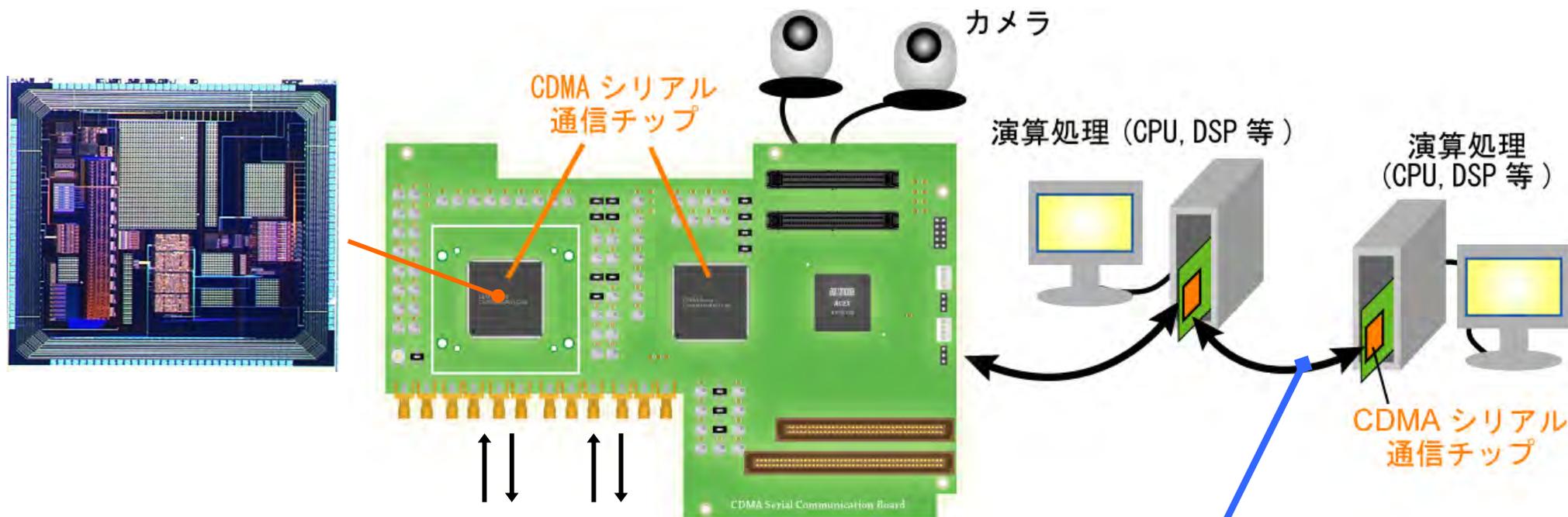
高速動作, 高適応能力

ハードとソフトを統合した工学的実現  
脳の高次機能の工学的モデル化



# 融通性のある高速ロボット内ネットワークの実現

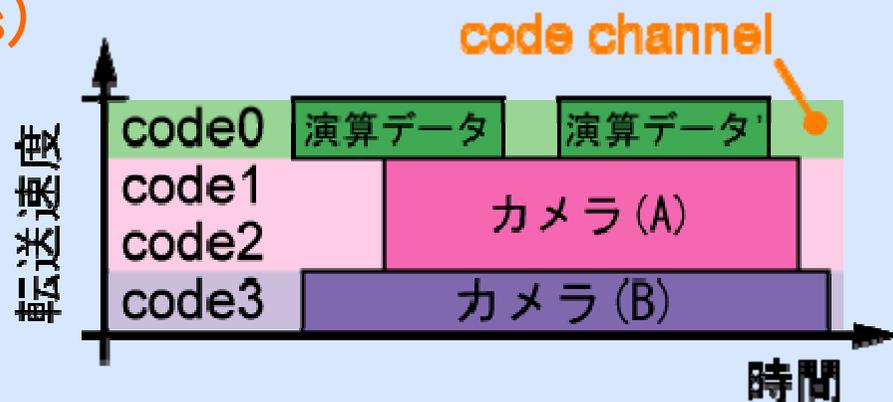
## CDMAシリアル通信チップとシリアル通信ボードの開発



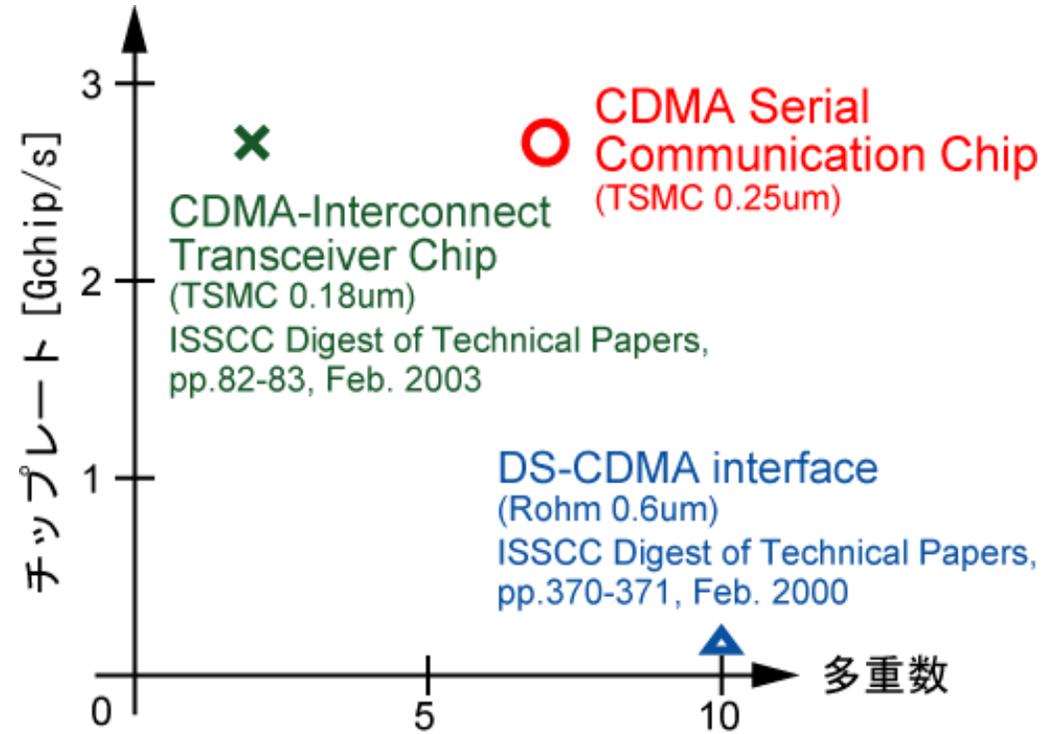
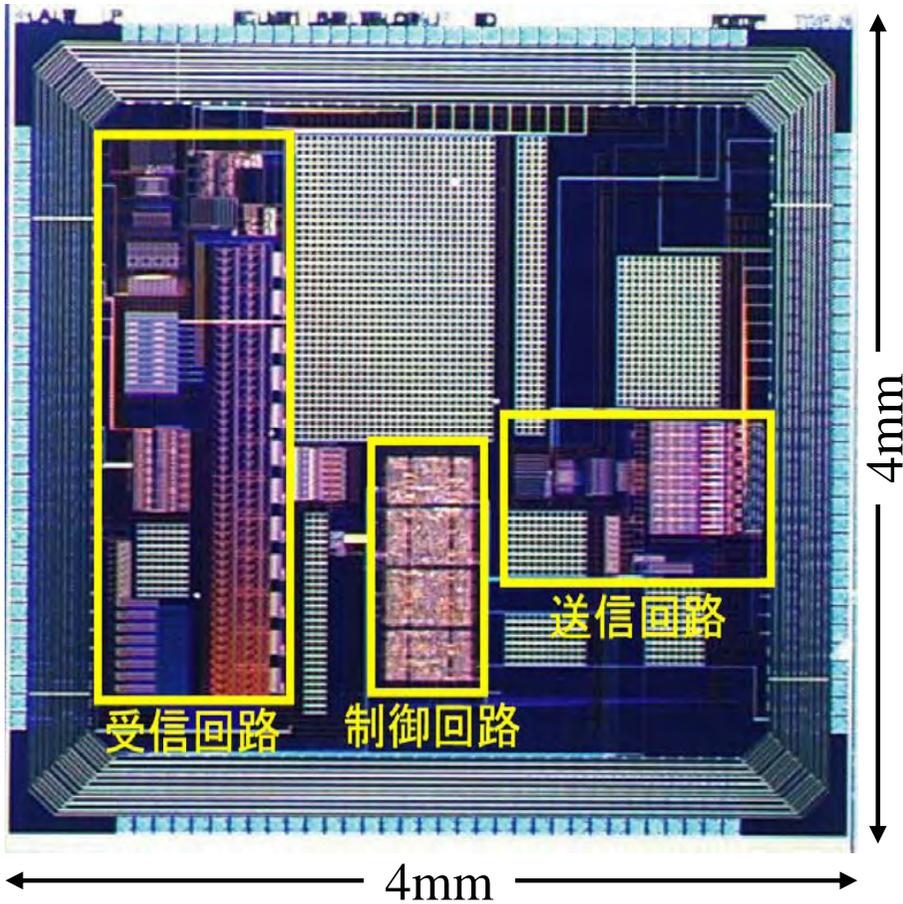
### — 特長 —

1. point-to-point 高速通信 (2.7Gcps)
2. CDMAによる融通性の高い多重化(7CH)

ロボット制御に必要な多様なデータを1本の線でリアルタイムに通信できる



# ロボット向けCDMA シリアル通信チップ



## 測定結果

符号数	8	同期 : 1
		通信 : 7
拡散符号	ウォルシュ符号	
符号長	8	
電源電圧	2.5 V	

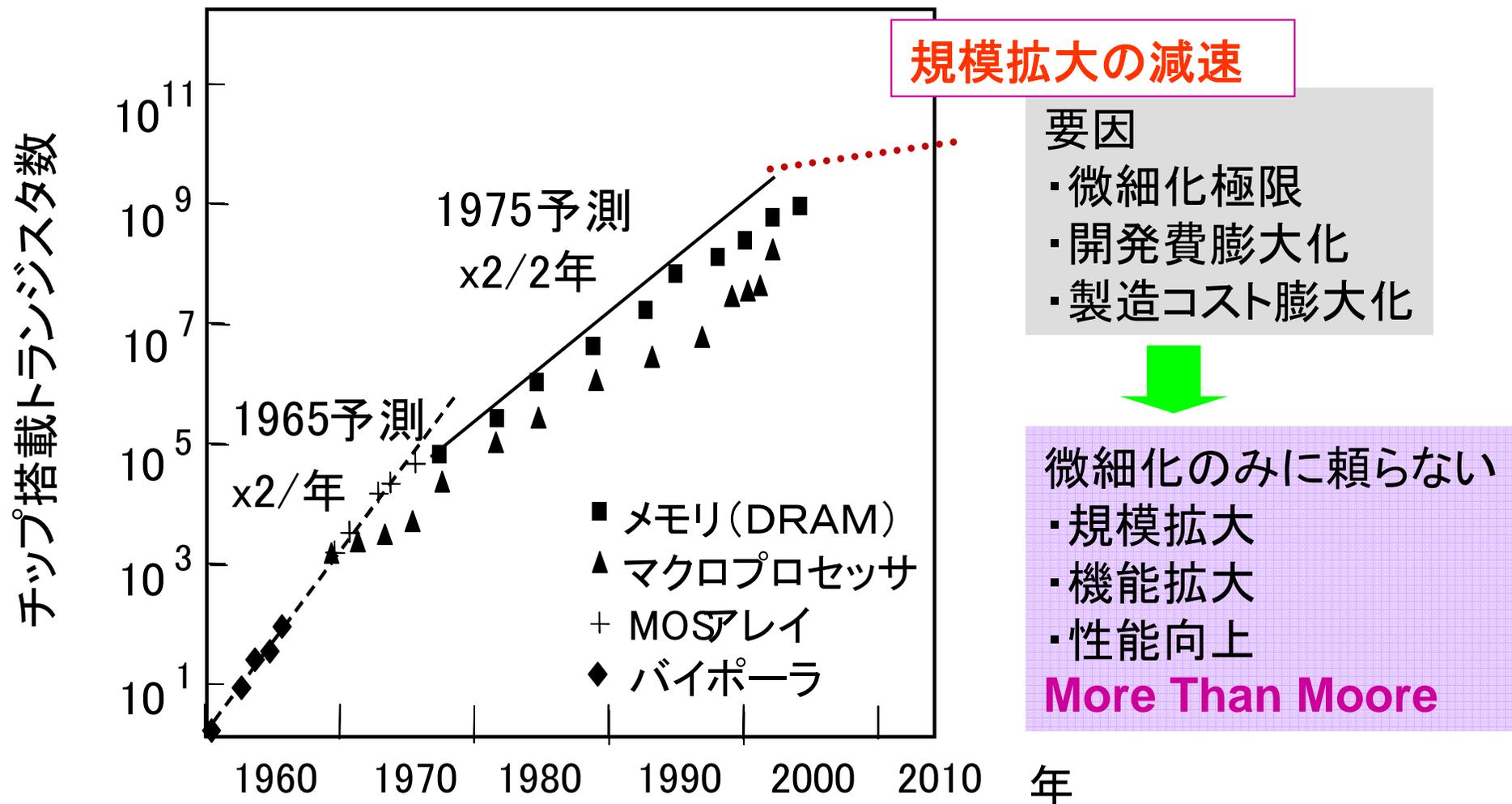
出力振幅 / 符号	50 mVp-p	
チップレート	< 2.7 Gchip/s	
転送速度 / 符号	< 168 Mbps	
消費電力	送信	148 mW
	受信	264 mW
クロックジッタ	60ps	

# 三次元集積のインタコネクション技術

光インタコネクション

無線インタコネクション インダクタ結合

貫通ビアの新応用

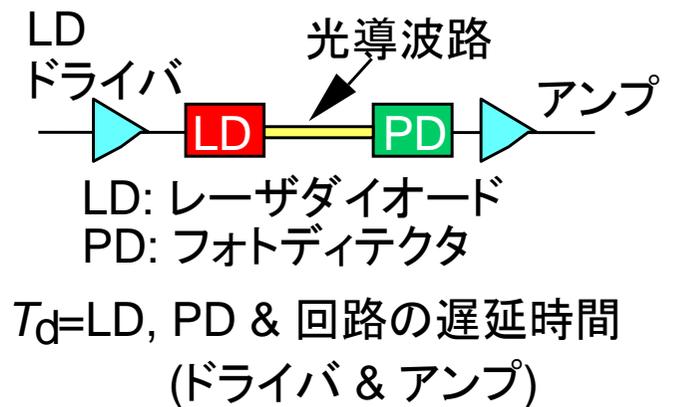
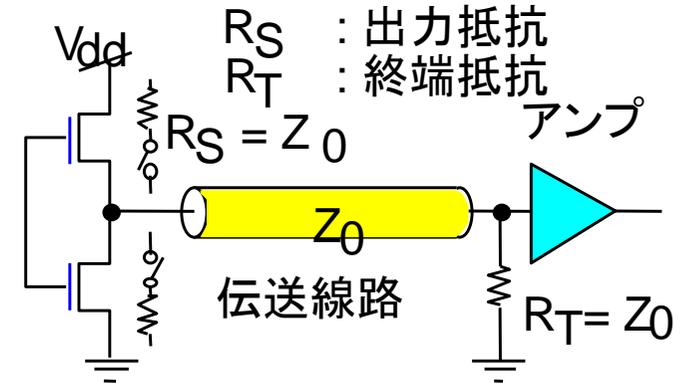
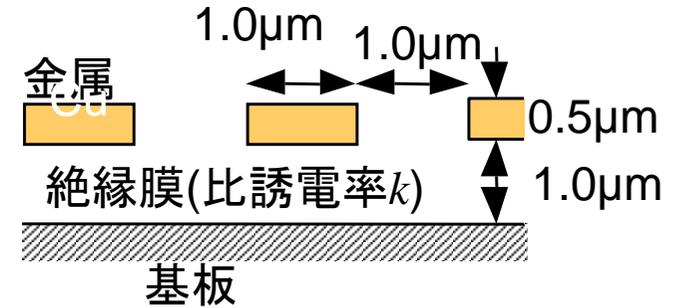
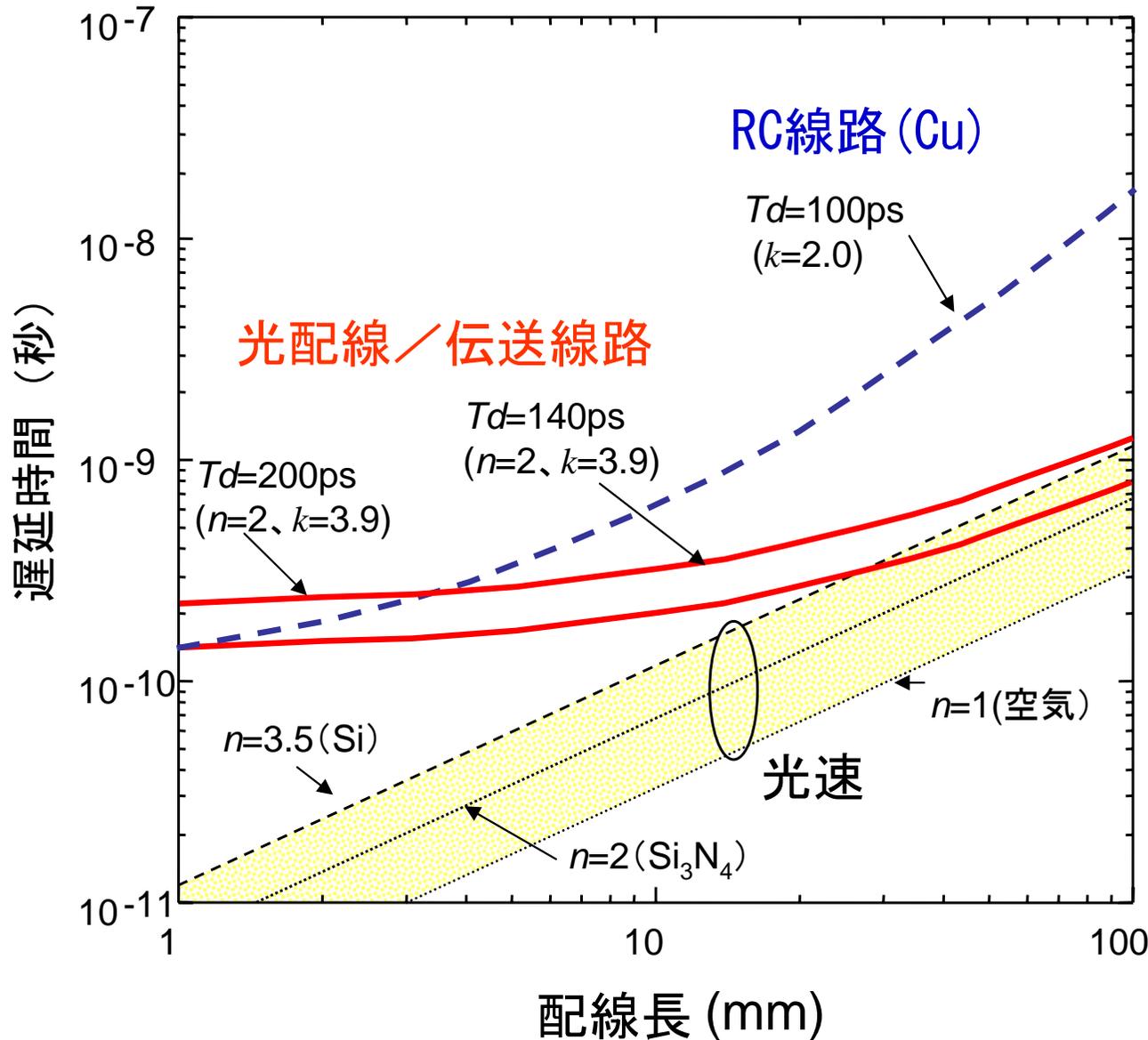


# 競合インタコネク技術と適用形態

	チップ内	チップ間	インタポーザ, PCB
電気 インタコネク	<div style="border: 1px solid black; padding: 2px;">多層配線(RC)</div> <div style="border: 1px solid black; padding: 2px;">伝送線路(TL)</div>	<div style="border: 1px solid black; padding: 2px;">貫通ビア(TSV)  bumps</div>	<div style="border: 1px solid black; padding: 2px;">PCB伝送線路 同軸ケーブル フラットケーブル</div>
光 インタコネク	<div style="background-color: #90EE90; padding: 2px;">導波路, ミラー, レンズ, グレーティング</div>	<div style="border: 1px solid black; padding: 2px;">光配線基板(Hybrid)</div> <div style="border: 1px solid black; padding: 2px;">自由空間</div> <div style="border: 1px solid black; padding: 2px;">光ファイバー</div>	
無線 インタコネク		<div style="border: 1px solid black; padding: 2px;">誘導結合 (L) 短距離</div> <div style="border: 1px solid black; padding: 2px;">静電結合 (C) 極短距離</div> <div style="border: 1px solid black; padding: 2px;">電磁波結合 [アンテナ] 長距離</div>	
接続距離	~1mm	二次元 ~10mm 三次元 ~0.1mm	二次元 ~100mm 三次元 ~10mm

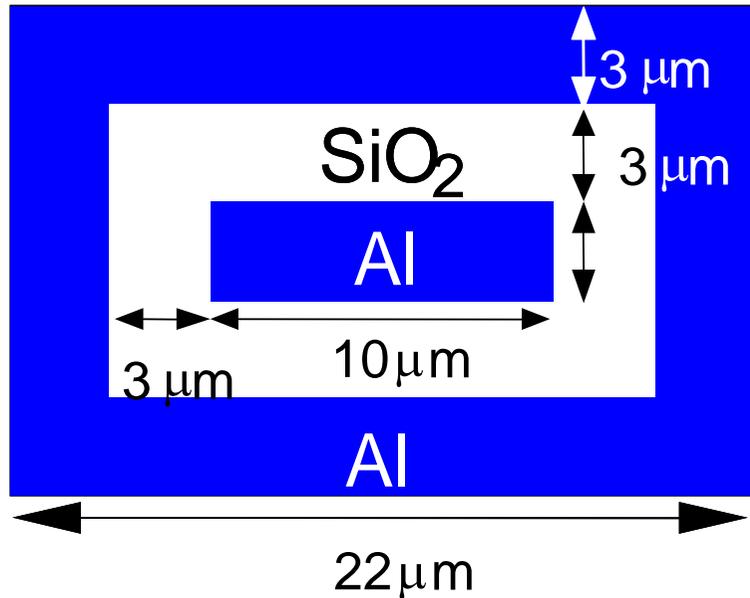
岩田穆、電気、光、磁気、電波複合インタコネクションによる新しい三次元集積技術、  
学振光ネットワークシステム技術第171委員会資料、2008.1.21

# 配線遅延時間の比較

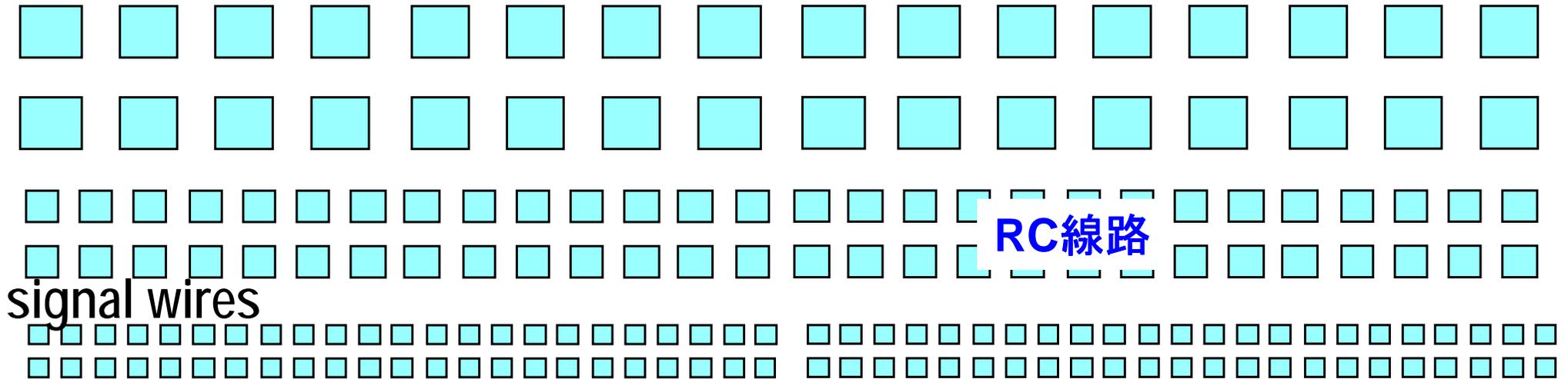
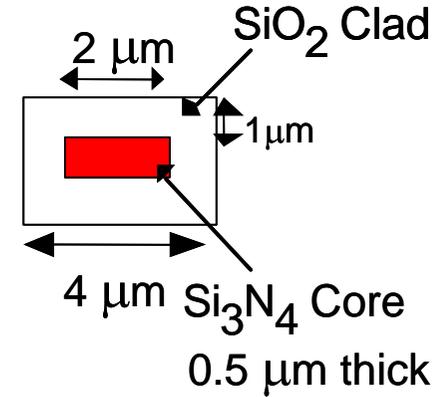


# 高速配線(伝送路)の小型化

Coaxial TL



Optical Wave guide



signal wires

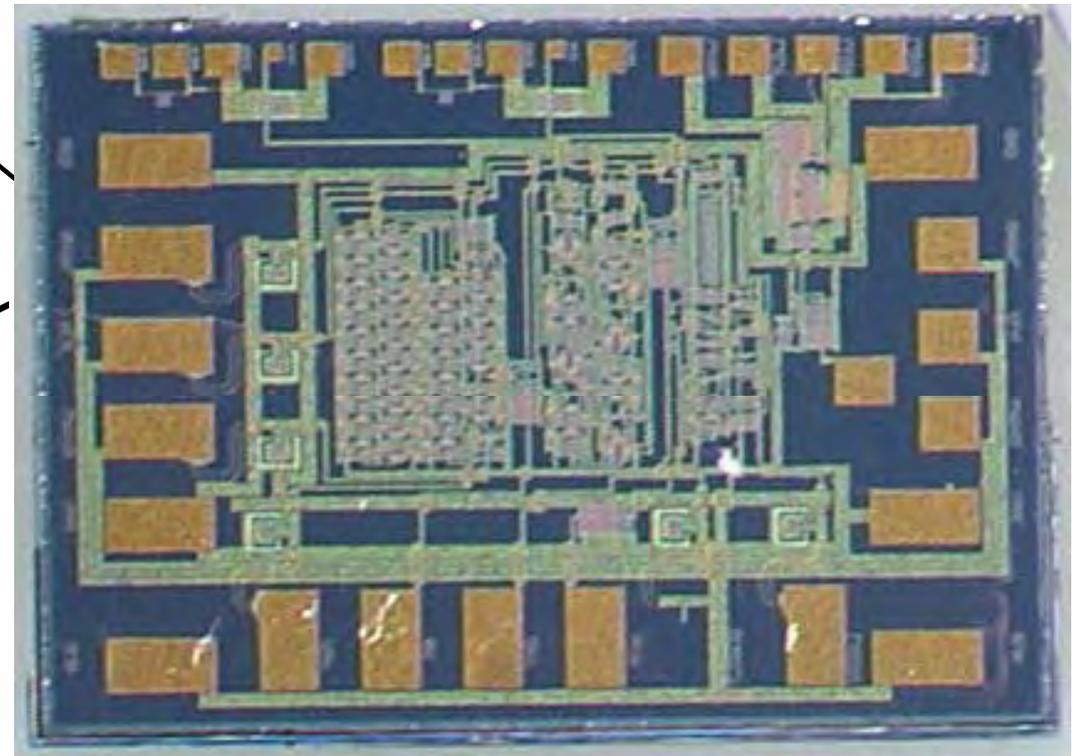
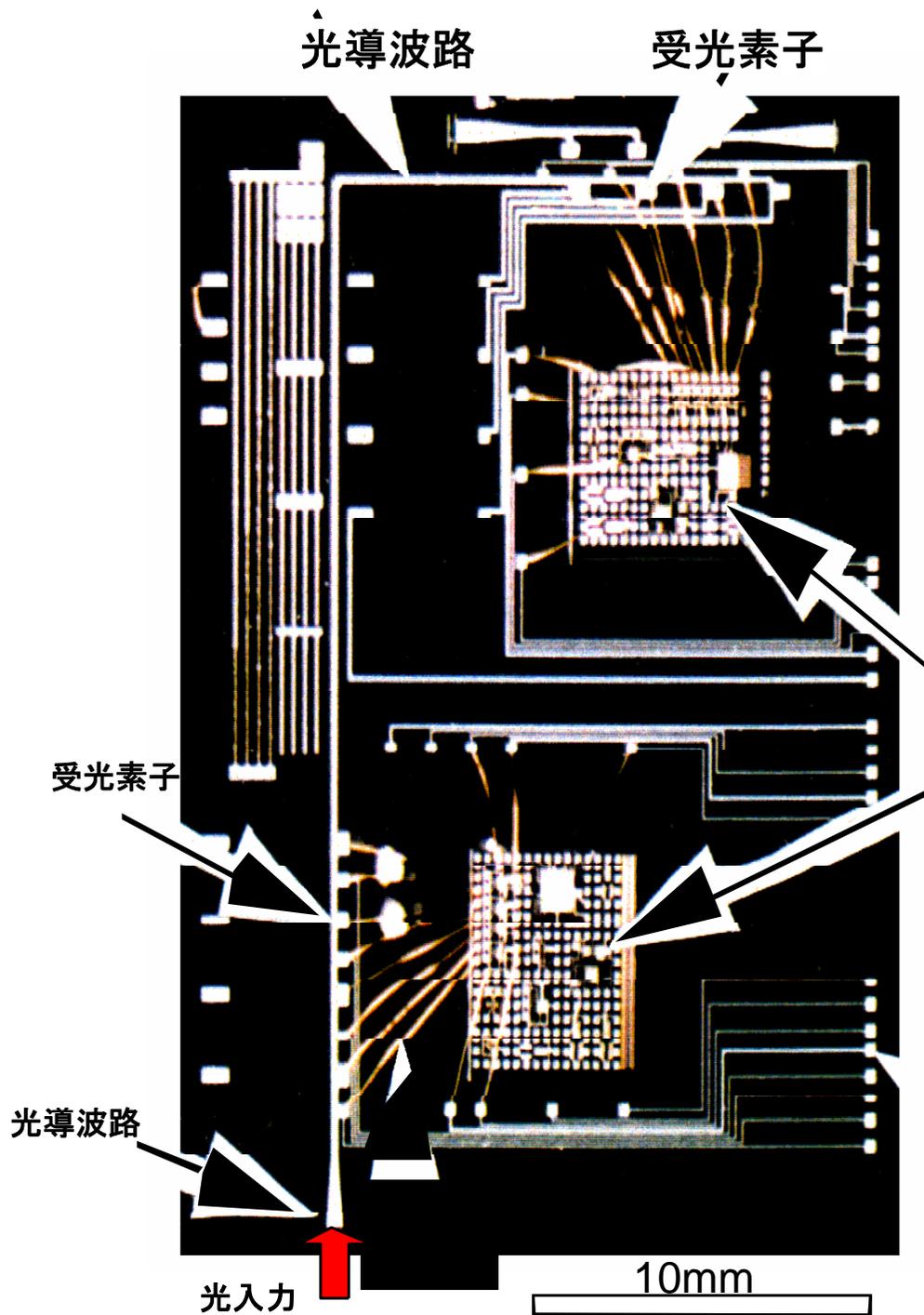
RC線路

device layer

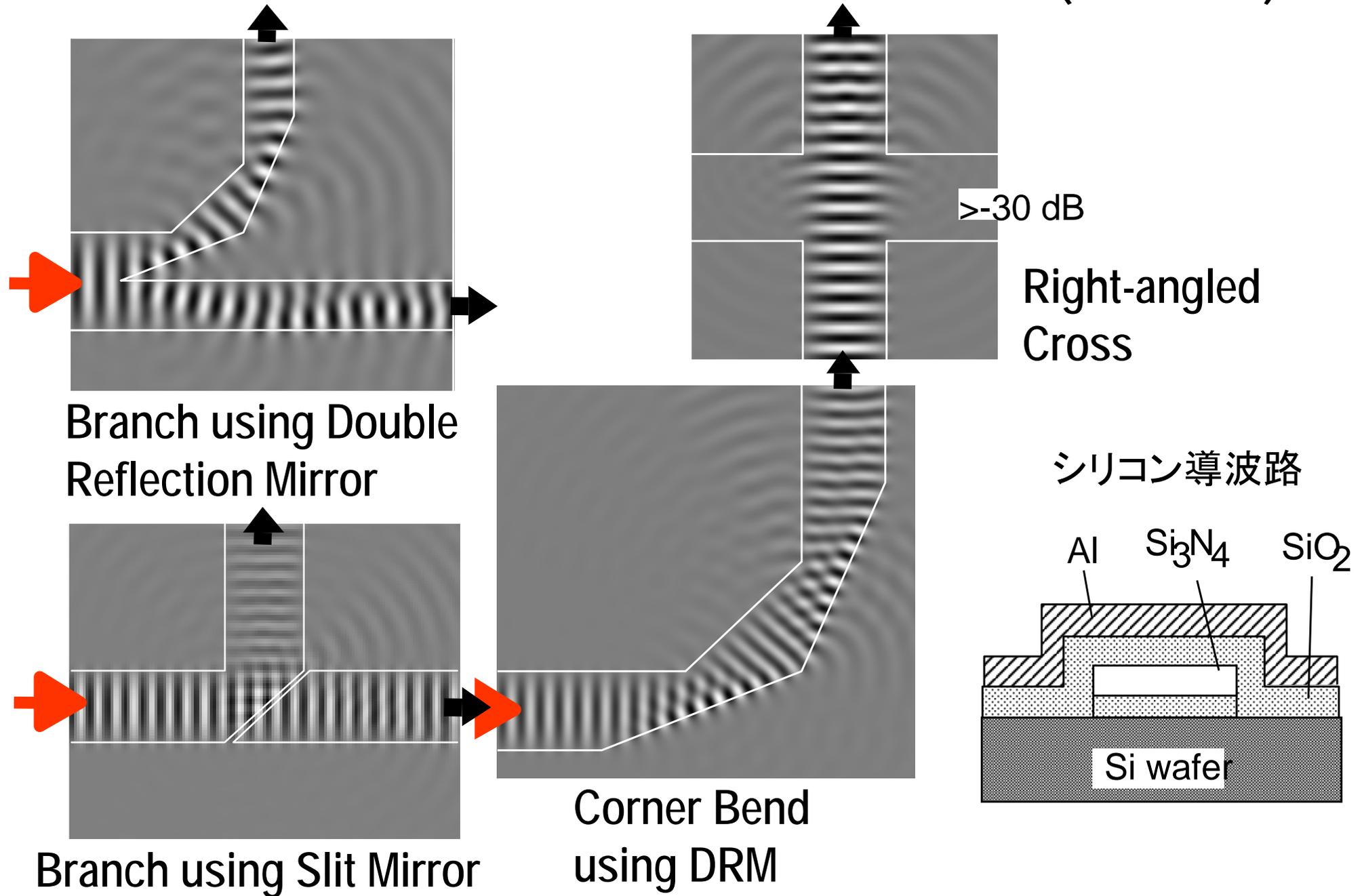
# 光電融合集積 プロトタイプ (1995)

距離演算、最小距離検出回路

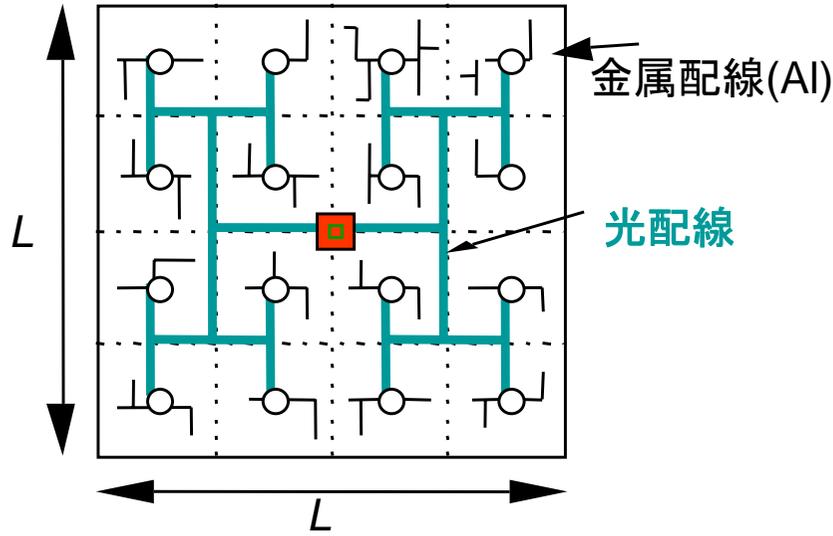
2um CMOS



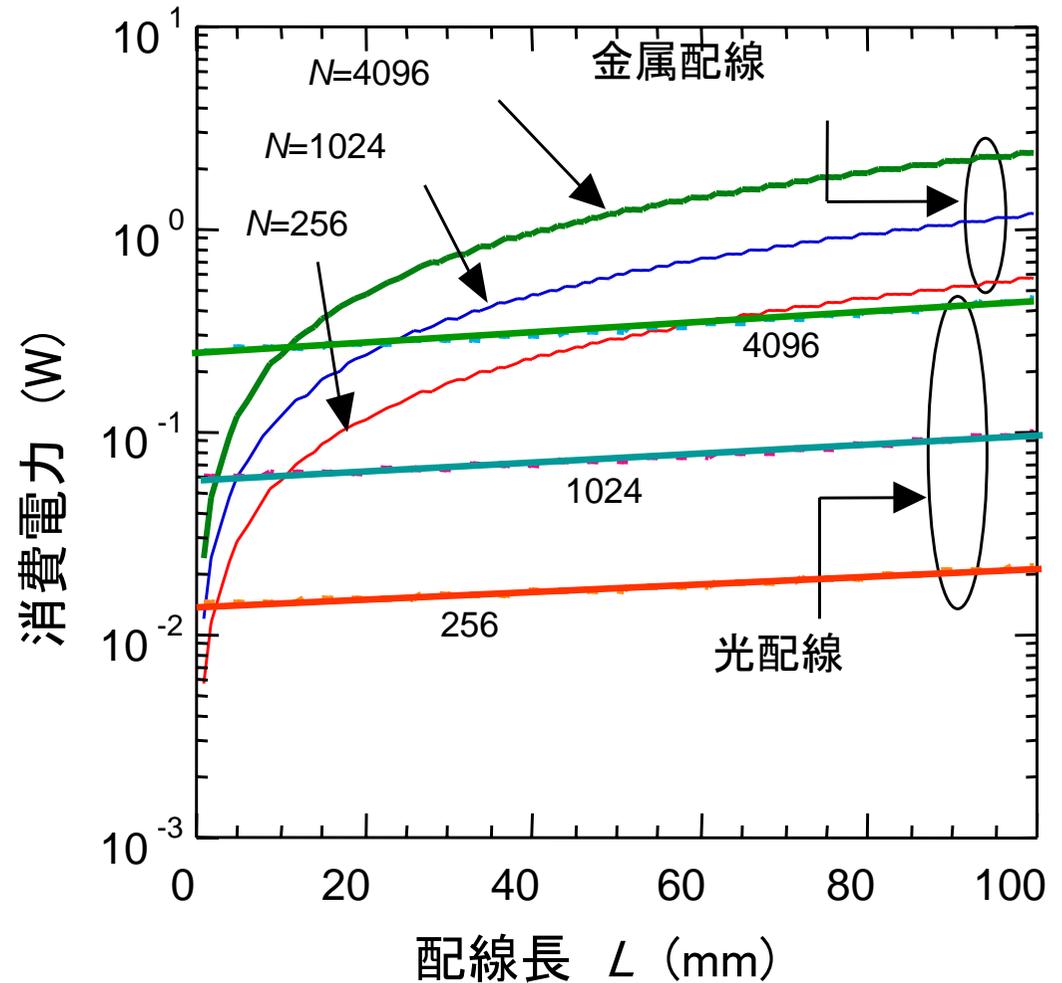
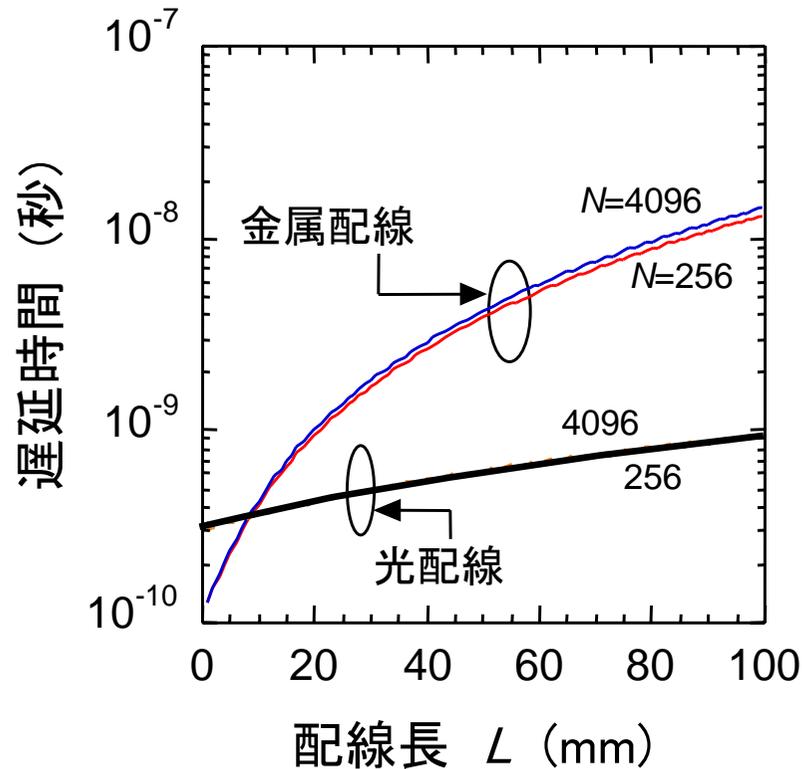
# 半導体導波路部品 of 電磁界解析(FD-TD)



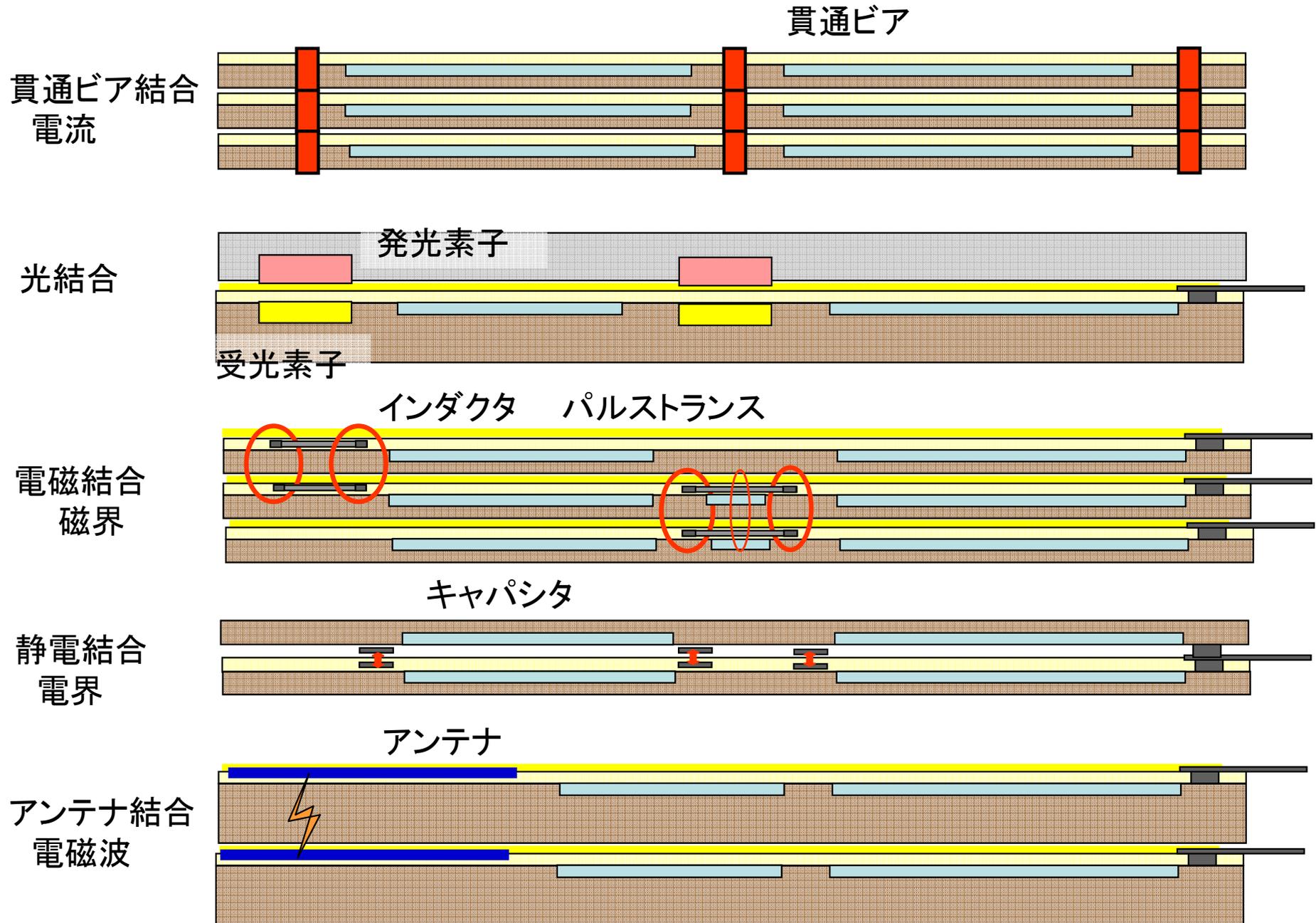
# クロック分配における遅延時間と消費電力



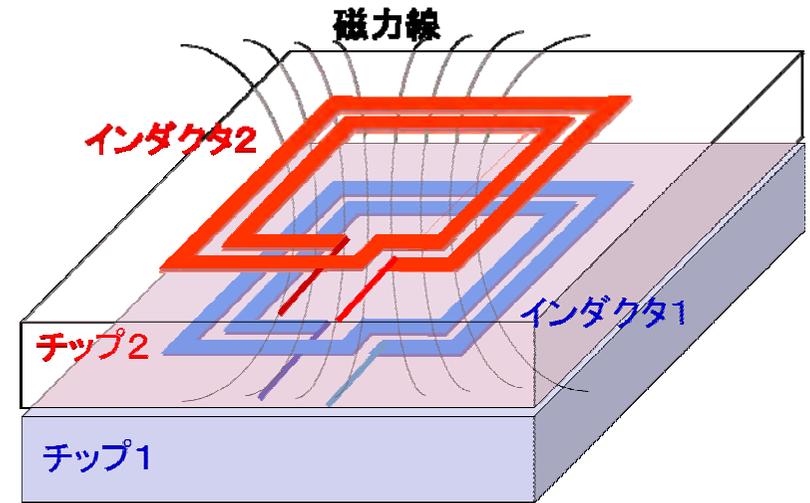
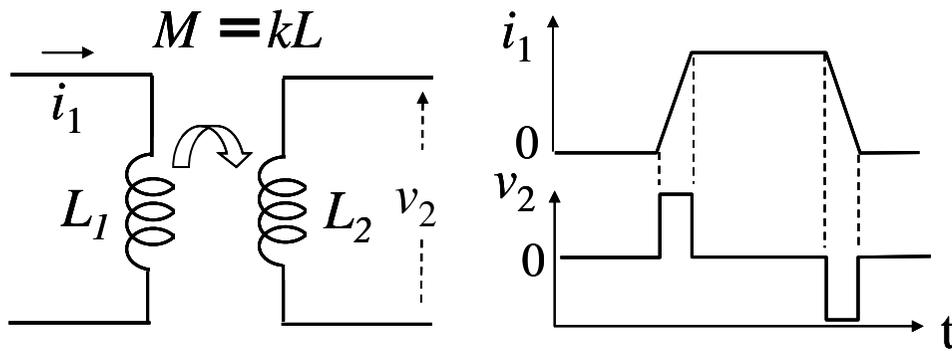
- $N$  : Hツリーの総分岐数 クロック周波数は?
- $L$  : Hツリーの枝長
- ◻ 信号源(レーザとレーザドライバ)
- Hツリーの末端(受光素子とアンプ)



# チップ積層集積におけるインタコネクタ技術

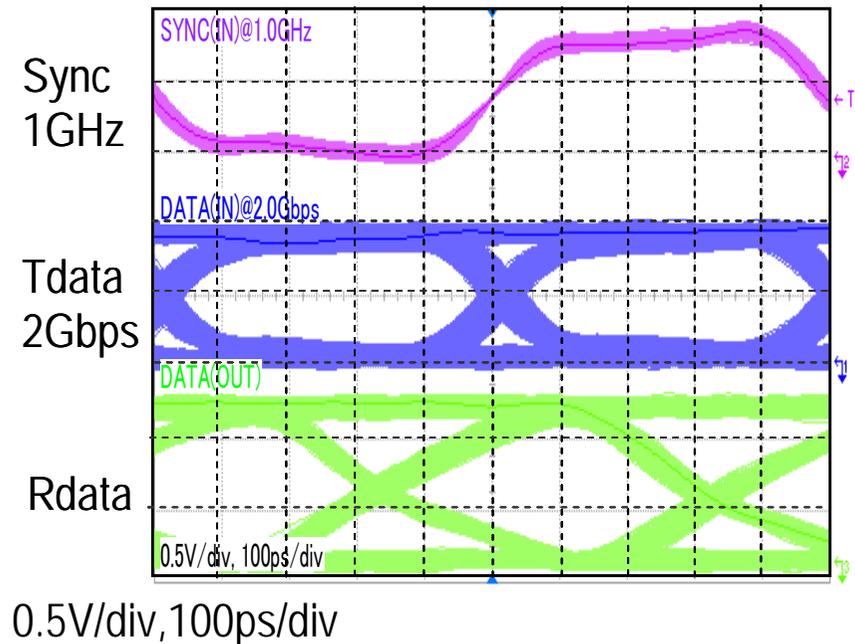
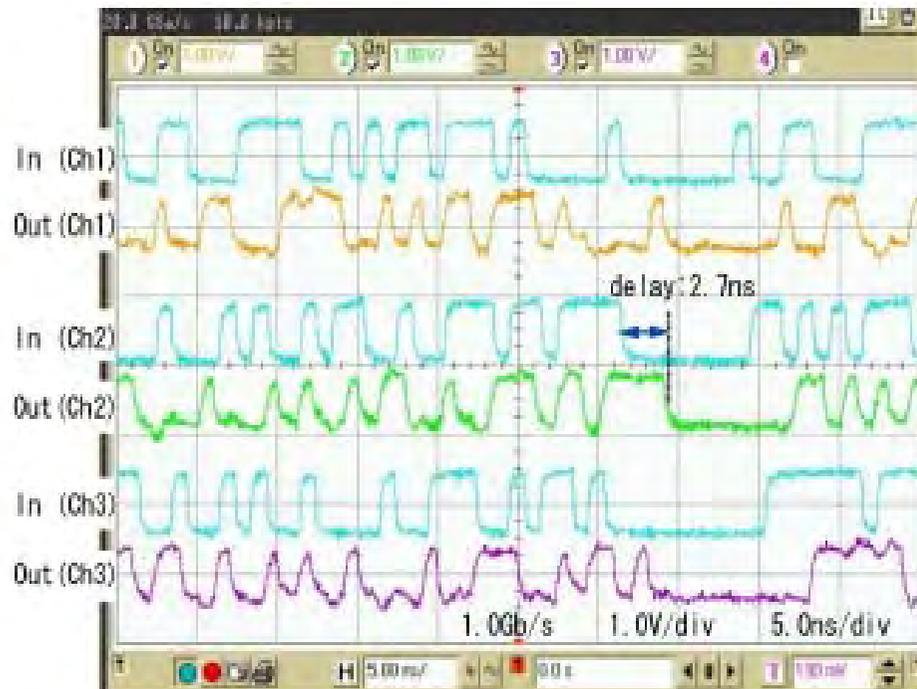


# インダクタ結合無線インタコネクト



非同期低電力 1Gbps, 1mW

同期高速 2Gbps, 3mW



# インタコネクットのまとめ

光電融合UOEICの研究の歴史は古い。  
光検出器, 光スイッチ, 導波路が進展.

三次元集積が必須になり,  
チップ内・チップ間インタコネクションが鍵

- ・集積伝送線路, 送受信回路
- ・貫通ビア技術

非接触(無線)インタコネクションが進展

- ・インダクタ結合,
- ・アンテナ結合など.

# 21世紀COE テラビット情報ナノエレクトロニクス

## 研究

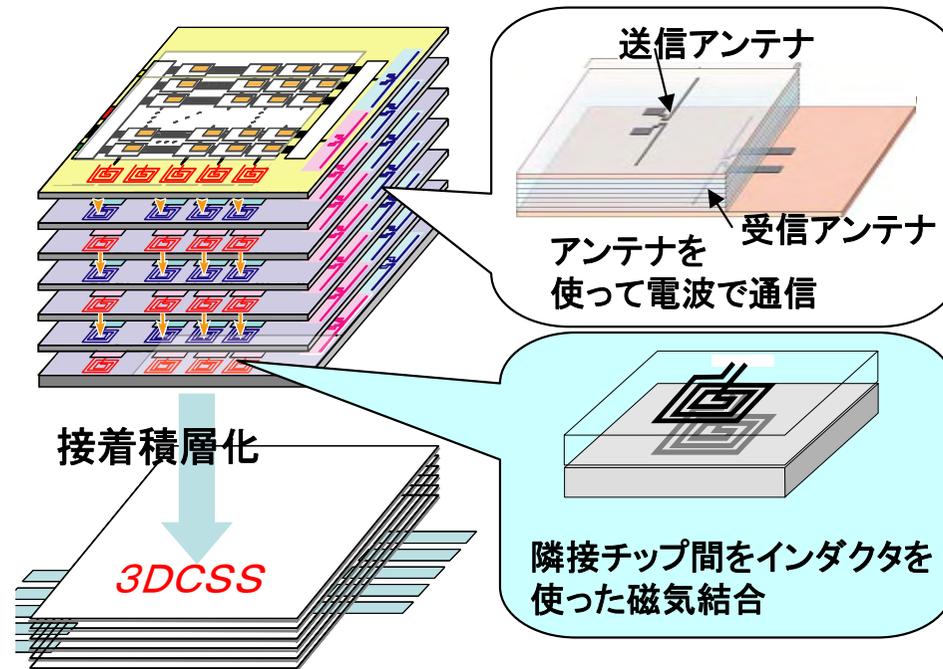
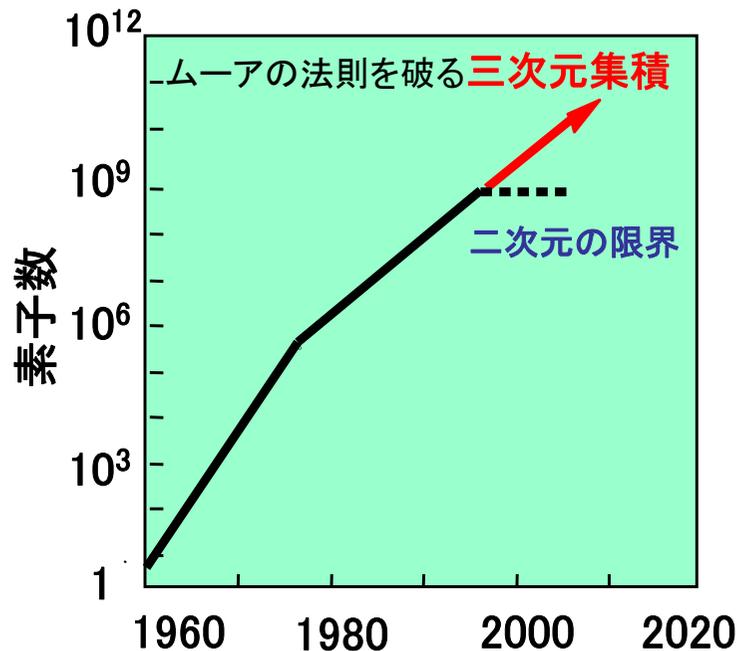
- ・回路・モデル・デバイスの3領域を融合した新学問領域の形成
- ・三次元集積システムと学習・認識システムの基盤技術の構築



無線インタコネクタ三次元集積技術

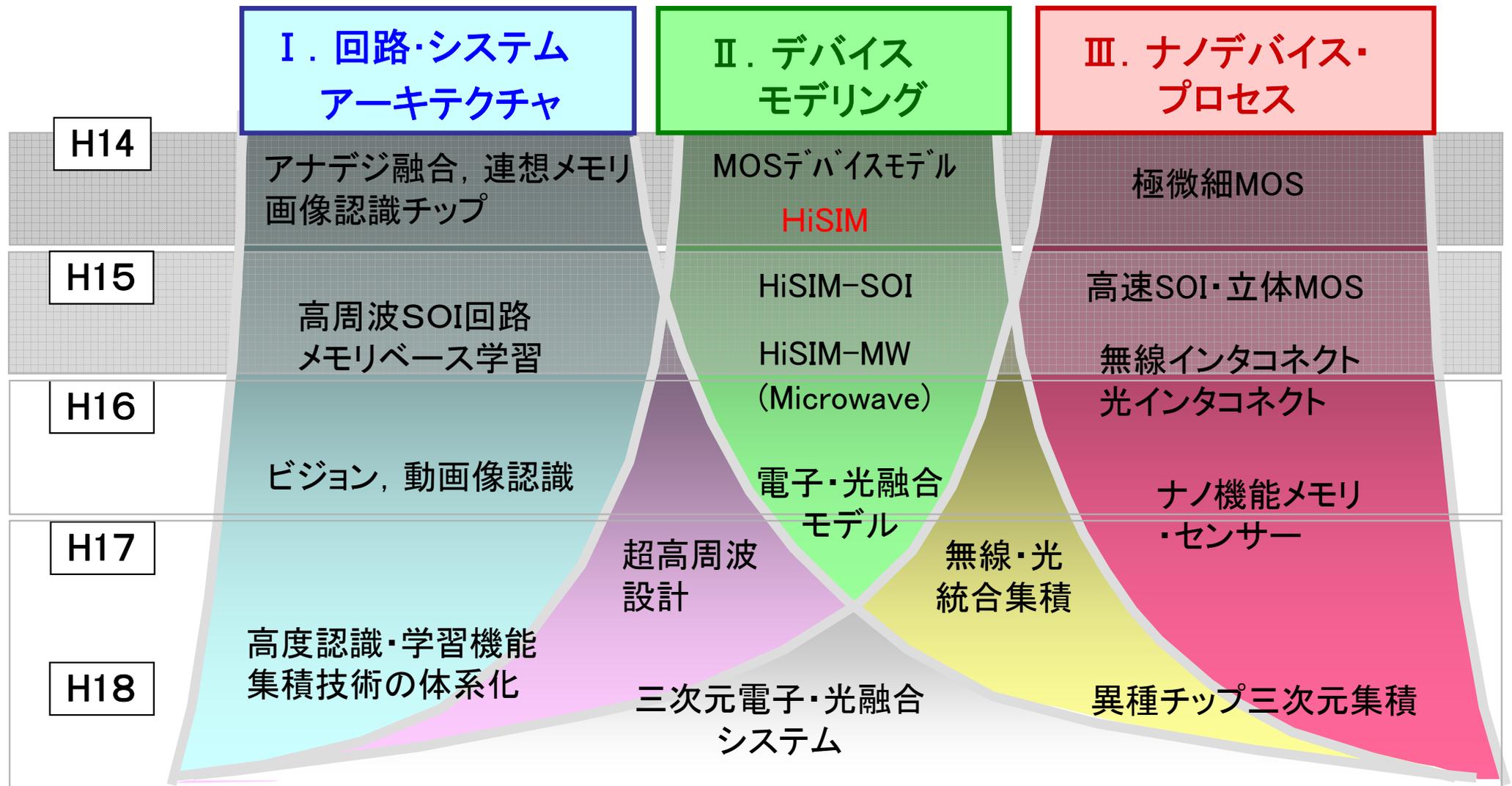
## 教育

広い視野と実行力を備え、次世代のリーダーの資質を持った博士研究者の育成



3DCSS: 三次元カスタムスタックシステム

# 拠点形成計画 (3研究領域と融合)



シリコンナノデバイス・回路・アーキテクチャの融合による  
高度認識・学習機能集積化システムの基盤構築

# 半導体バイオ融合イノベーション拠点

## 目的

バイオの**多様性・特異性**と半導体の**微細・高速・大規模**を融合し、**多項目・高感度バイオセンサシステム**を開発し、ユビキタス診断で健康・安全・快適な社会を実現する。

## 3年目のミッション

1. Siと有機分子との界面の解析・制御技術を確立し、微弱な電荷・光の検出による高感度バイオセンサの基盤技術を開発。
2. テラビットメモリのための新高誘電体材料( $\epsilon_r > 60$ )および記憶原理, セル構造を探索し, 実用化の候補を選択。

## 協働機関とその役割

1. エルピーダメモリ(株): 大容量・不揮発メモリ, 三次元集積の開発実用化。
2. (株)生体分子計測研究所: DNAベースのタンパク質固定化技術の開発。
3. (株)サタケ: 農薬検出技術と検査システムの開発実用化。

# 10～15年後に起こすイノベーションの姿

高感度バイオセンサーと大容量メモリ、無線インターフェースを融合することで、「飲むバイオセンサー」を実現し、ガンの早期診断や腸内細菌・コレステロール診断をいつでも、何処でも可能にする。

実施機関：広島大学

協働機関：エルピーダメモリ(株)  
(株)生体分子計測研究所, (株)サタケ

「半導体技術」  
「バイオセンシング技術」  
(広島大学)

ナノデバイスの開発  
・ナノワイヤ、量子ドット  
バイオ分子の発見  
・シリコン結合タンパク

融合

「大容量メモリ技術」  
(エルピーダメモリ(株))

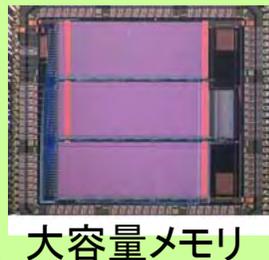
超微細・大規模  
メモリチップ生産

## 10～15年後に起こすイノベーション

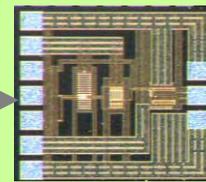
ガン細胞、  
腸内細菌、  
コレステロール  
を検知

シリコン結合  
ペプチド

半導体バイオ  
センサー



大容量メモリ

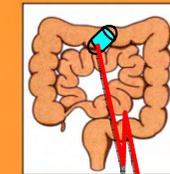


無線回路

アンテナ

飲むバイオセンサー

薬カプセル程度の  
大きさで、使い捨て



1. 消化器官内で複数のバイオセンサーを動作
2. ガン細胞などの出すマーカーなどを同時に検出
3. 検出結果をメモリで記憶，無線で体外に送信



ユビキタス診断で医療を革新

# 大学と企業と一体となった教育

大学

学部  
大学院

社会人  
ドクタ

専門職  
コース  
専門職  
大学院

大学と社会との交流

企業見学・訪問

派遣型研修(インターン)

先輩社会人  
懇親会

- ・共同研究(例:STARC)
- ・協同事業(コンソシアム)

大学発ベンチャー

人事交流

企業

企業内教育

生涯教育

スキル拡大・転換

技術競争力  
強化

## 半導体産業における製造中核人材育成事業

### 産業界における課題

LSIおよびシステムの  
企画能力の強化  
設計力の強化  
製造競争力の向上

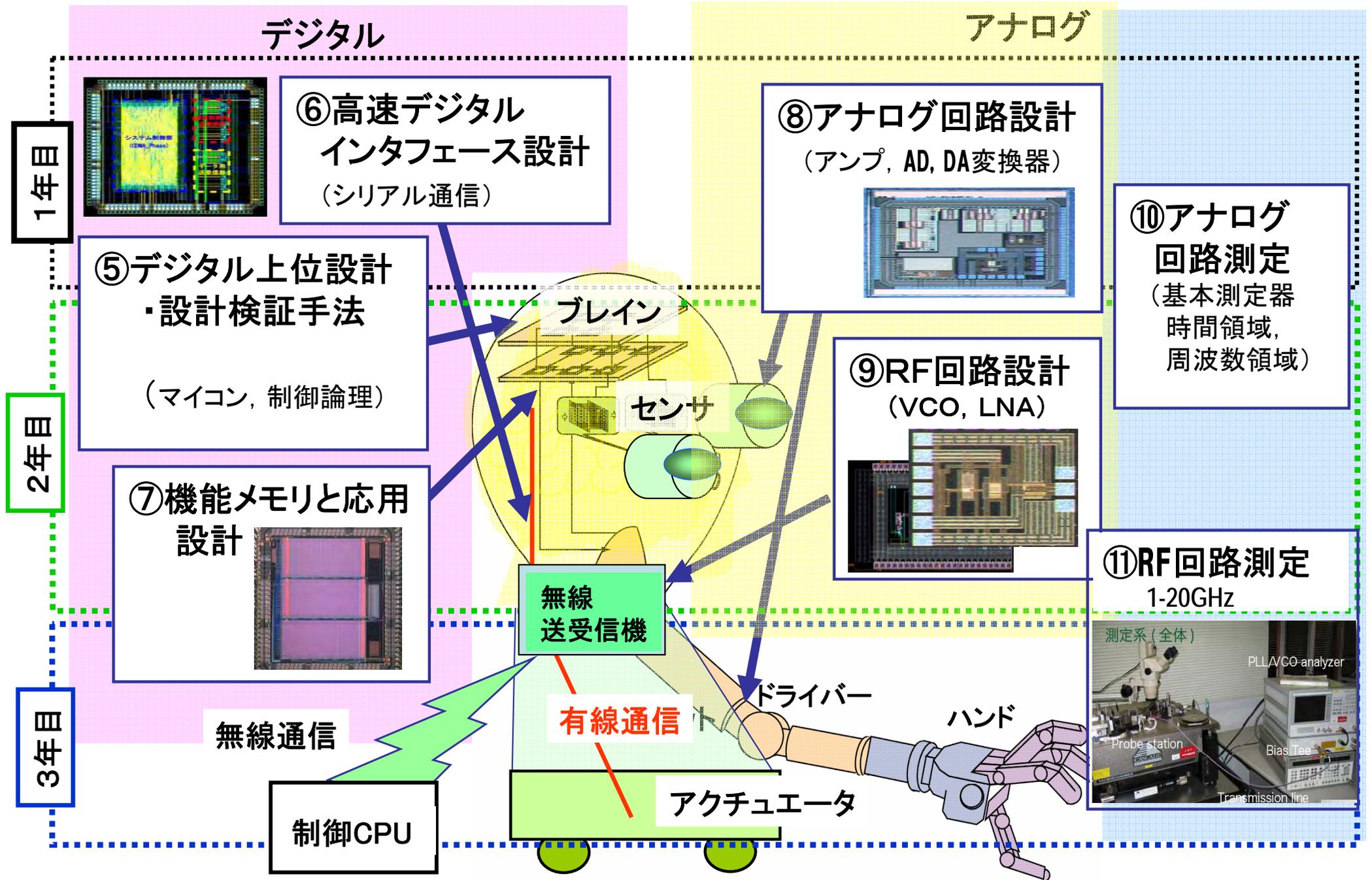
### 育成システムの課題

1. 実践的実習教材未整備
2. 育成システムの立ち後れ
3. 指導者の不足

LSIプロセス、設計、システム開発の全体を体系的に学べる事例ベースの実習教材(世の中にない教材)を開発。 > 専門実践教育プログラム設立

1. LSI応用システム開発(全体)の入門的実習(学部レベル)(広島工大)
2. LSIプロセス技術
  - ・製造プロセスの実習
  - ・分析、評価技術の実習
3. アナログ, RF回路技術
  - ・基本回路設計の実習, 測定理論と測定の十実習
4. デジタル設計
  - ・仕様書, H/S分担, テスト設計、検証手法(広島市立大)
5. 実装設計
  - ・基礎から三次元実装事例と動向・実習 (ASET)
  - ・雑音解析ツール、測定, 低雑音設計 (岡山大学)

# LSI開発・応用（ロボットをターゲット）



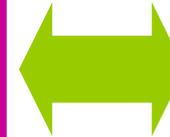
# 大学研究成果活用による アナログLSIの設計会社

**株式会社エイアールテック**

**A-R-Tec**

**Analog and RF Rechnologies**

広島大  
中央大  
九工大  
神戸大  
東工大  
北見工大

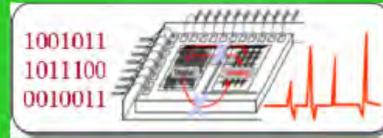


## 会社の目的

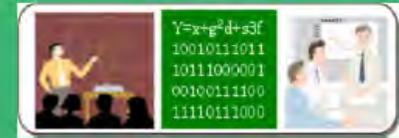
1. アナログ・RF混載システムLSIの設計技術提供
2. アナログ設計者育成（社会人，学生）
3. 産学の架け橋（共同研究，共同開発，



アナログ回路の  
設計・測定



基板・電源雑音解析  
(測定・シミュレーション)



アナログ設計者の  
オンザジョブ育成

設計技術・ノウハウを持ち、  
高精度・低電力など  
カスタム設計できる回路

- ・ A D 変換器
- ・ D A 変換器
- ・ 低雑音チョッパアンプ
- ・ アナログフィルタ
- ・ CMOSイメージセンサ
- ・ VCO, MIX, PLL
- ・ インダクタ結合回路

受託する業務

- ・ 低電圧低電力アナログ回路  
のカスタム設計・開発
- ・ アナログIP設計・開発
- ・ IP搭載LSIの設計・開発
- ・ アナログ測定技術・ツール
- ・ LSI開発コンサルティング

アナデジ混載LSIでは、Si基板や電源・グ  
ランドを介したクロストーク雑音(XT)  
によりアナログ性能が大幅に劣化。

XT雑音を抑圧する設計技術で  
開発期間と開発費を低減

基板/電源雑音の独自技術

- ・ 雑音解析モデル化技術
- ・ 雑音シミュレーション技術
- ・ 雑音テストチップ設計技術
- ・ 雑音測定技術
- ・ 耐雑音設計技術

受託する業務

- ・ 雑音検出回路/TEG設計
- ・ オンチップ雑音測定
- ・ 雑音解析モデル作成
- ・ 雑音シミュレーション
- ・ 雑音対策コンサルティング

アナログ・R F回路では種々の特性を  
コンプロマイズした設計が要求され、  
自動設計は無理。

設計の経験とノウハウが必須。

オンザジョブ能力開発(OJD)

によりアナログ設計者を育成。

受講者の経験と要請に応じて、  
カリキュラムを**カスタマイズ**、  
原理から設計実践力まで育成。  
同時に設計資産も得られる。

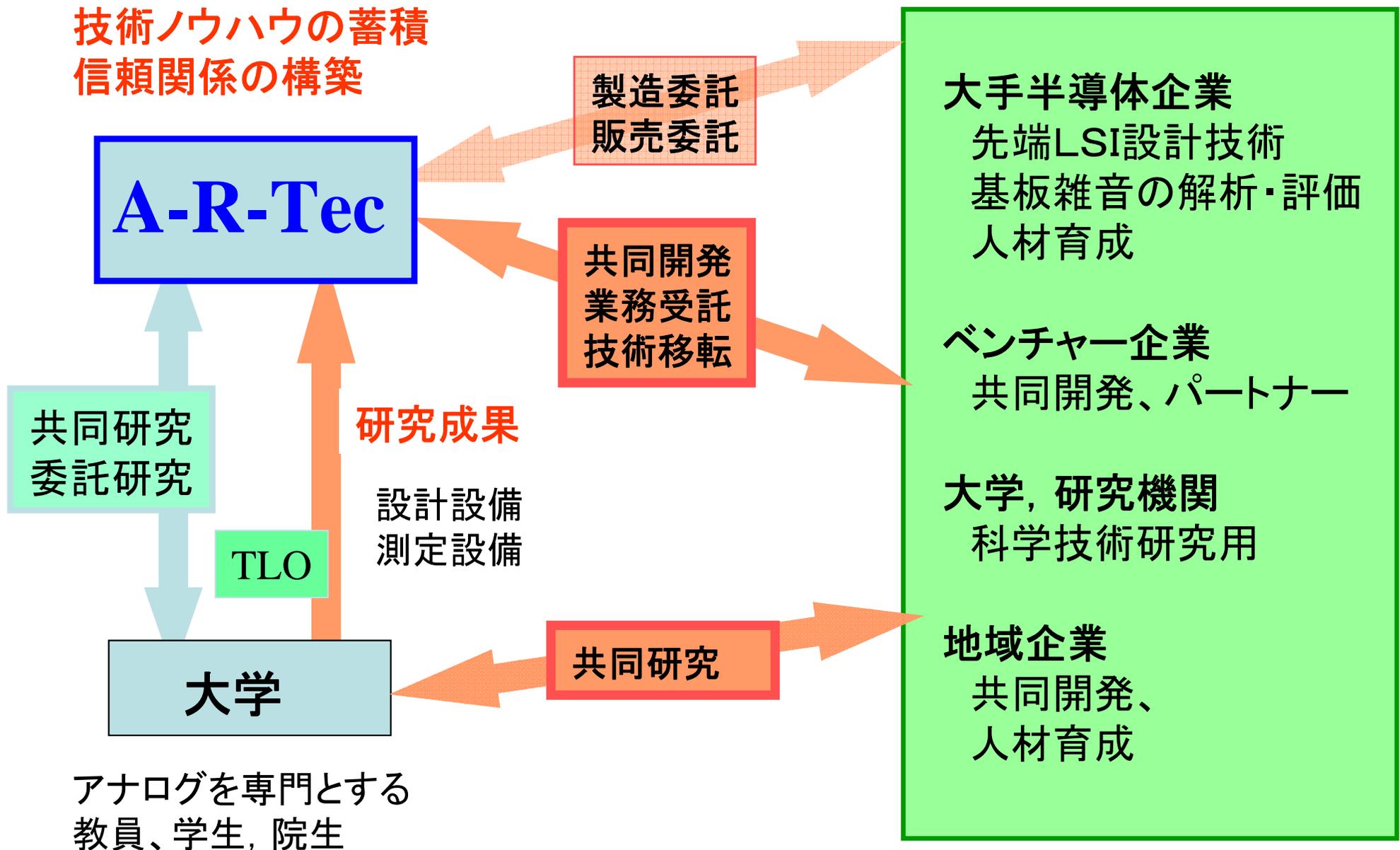
OJDの導入として、実習中心の  
アナログ実践講座も提供。

基本的なアナログ回路の

- ・ CADを用いた回路設計
- ・ 多様な評価項目を測定で習得
- ・ カタログを読む力を習得

# 大学との協力関係と顧客

顧客



# A-R-Tecの人材育成の特徴

## 企業技術者の育成

マンツーマン・カスタマイズ方式OJTで  
真に有効な育成を提供

設計業務受託と人材育成の融合で  
開発成果, 技術移転, 人材育成が  
同時に得られる

## 学生の育成

- ・非常勤社員として働いて実践的能力と  
社会ルールと人間関係を学ぶ.
- ・自分の適正, 能力を知り社会に出る.

# まとめ これからの大学の役割

## 研究・開発

科学：真理の探究，新規性，論文，学会での評価

技術：実用化，特許・ノウハウ，VB起業，業界での評価

## 教育・人材育成 多様な価値観

技術者，研究者

教育者，科学者

技術的リーダー，融合技術リーダー

経営的リーダー，ビジネスモデル

## 社会と一体化

共同開発：価値のある技術，企業と分担

ベンチャー：大学と企業との架け橋，人材育成