

TECHNICAL  
SURVEY

# オーバサンプリング A-D・D-A変換技術と そのVLSI化

解 説

岩 田 穆

岩田 穆：正員 NTT LSI 研究所

Over-sampling A-D・D-A Conversion Technology and Its Application to VLSI. By Atsushi IWATA, Member (NTT LSI Laboratories, Atsugi-shi 〒243-01).

## あぶすとらくと

オーバサンプリング A-D・D-A 変換は、信号より十分高い周波数で標本化する方式であるが、集積回路デバイスの動作速度向上により、経済的に高精度を得る方式として VLSI 時代の主流の座を確保しはじめた。ノイズシェーピングの原理による  $\Delta\Sigma$  方式を基礎に、一層精度を高めうる方式 (MASH 方式など) が考案され、従来はトリミングを必要とした高い SN 比が無調整で実現された。この方式を応用して、通信用の PCM-CODEC や、オーディオ用の 16 ビット A-D, D-A 変換器が CMOS 技術で実現された。更に広帯域化や、マクロセルによる広範な適用が進められている。

### 1. ま え が き

近年、オーバサンプリングとよばれる A-D・D-A 変換方式が VLSI 化に適した方式として注目されている。新しい回路方式の発明により、信号帯域 20 kHz で 16 ビット以上の精度が、VLSI 技術を用いて無調整で実現できるようになった。この方式の原理、歴史、VLSI 構成技術、将来動向について解説する。

### 2. 原理と歴史

通常の A-D 変換では信号帯域の 2 倍の周波数 ( $f_s=2f_b$ ) で標本化するのに対して、オーバサンプリング A-D 変換は  $2n$  倍の周波数 ( $f_{os}=2nf_b$ ,  $n$  は 10 以上の正整数) で標本化し、1 ビット程度の低い分解能で量子化する方式である。この方式の利点は次の二つである。(1)  $\pm 1$  などの 2 値レベルしかもたない簡単なアナログ回路でも 100 dB 以上の高い SN 比を得られる。(2) サンプルされた信号に含まれる高次の折返し雑音成分 ( $mf_{os}\pm f_b$ ,  $m$  は正

整数) を基本帯域  $f_b$  から離れた高周波にもって行ける。このため折返し雑音の抑圧に必要であった急しゅんなアナログフィルタを不要にでき、 $nf_b$  までの帯域の信号処理をデジタル化できる。これらの点は VLSI の特徴と整合したものである。つまり一般に VLSI は高速動作と大規模集積のデジタル回路に適するが、高精度のアナログ回路には適さないからである。

オーバサンプリング A-D 変換の歴史を図 1 で見てみよう。1940 年代には音声のデジタル通信 (1938 年に発明) の実用化に精力が注がれていたが、当時はまだトランジスタもなくパルス信号の処理など高嶺の花であった。そこで、1 ユニットを基準にする簡単な回路で量子化し、得られた 1 ビットのパルス列を伝送する方式が指向された。まず 1946 年に  $\Delta M$  (デルタ変調) 方式の A-D 変換が考案された<sup>(1)</sup>。 $\Delta M$  方式は図 2(a) に示すように、過去の出力信号から予測フィルタ (積分器など) を通して次の入力を予測し、実際の入力信号との大小を比較して、差分を 1 ビットに量子化するものである。

年代	基本的発明	部品技術	A-D・D-A変換方式の発明	システム/LSI
	PCM通信(原理)			
1940	PCM通信(実用) ノイマン形 コンピュータ	真空管	$\Delta M$	
1950	トランジスタ		$\Delta \Sigma$ (逐次比較)	
1960	集積回路 半導体レーザ	Tr IC	補間形	PCM24ch方式(米) PCM24ch方式(日)
1970	マイクロ プロセッサ	LSI	MASH 高次 $\Delta \Sigma$	PCM24ch方式(日) (IC化)
1980		VLSI		PCM-CODEC-LSI PCM24ch方式(日) デジタル交換機 加入者回路 信号処理LSI
1990		ULSI		オーディオ用 A-D・D-A変換LSI

図1 オーバサンプリングA-D・D-A変換の歴史

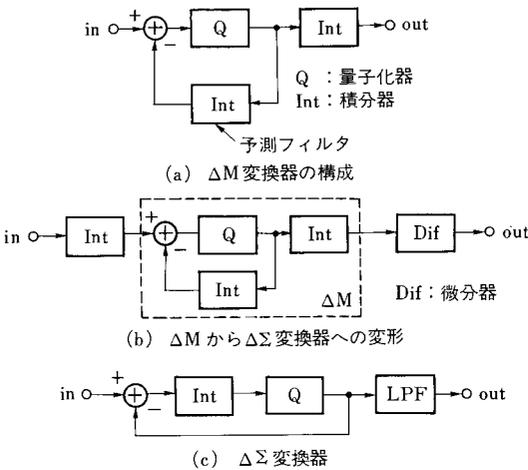


図2  $\Delta M$ 方式と $\Delta \Sigma$ 方式  $\Delta M$ 方式の欠点である入力信号の傾斜制限を除去するために積分器を追加した構成が $\Delta \Sigma$ 方式。回路規模は増加しない。

$f_{os}$ と積分器の次数を上げれば差分すなわち量子化誤差 ( $N_q$ ) が減少するので、高いSN比が得られる。しかし $\Delta M$ 方式の欠点は入力の急しゅんな変化に対して予測信号が追従できないことである(入力の傾斜制限)。これを解決するために1961年に $\Delta \Sigma$ (デルタシグマ)方式が発明された<sup>(2)</sup>。図2(b)に示すように、 $\Delta M$ 量子化器の前に積分器を、後に微分器を挿入する

と、 $\Delta M$ 量子化器に加わる入力信号の振幅は高周波ほど小さくなるので傾斜制限を除去できる。ここで入力と帰還の積分器を同じ特性にすれば積分した後に加算するのでなく、積分する前に加算できる。図2(c)のように単純化したのが $A \Sigma$ 方式である。 $\Delta \Sigma$ 方式は、平坦な周波数特性をもつ量子化雑音 ( $N_q$ ) を積分器の逆特性で高周波側に多く分布させて帯域内の成分を減らしてSN比を上げる原理であるので、ノイズシェーピング方式ともよばれる。

これまで $\Delta M$ 方式や $\Delta \Sigma$ 方式が主流技術とならなかった理由は実現技術との整合がよくなかったことである。1960年代に実用化

された24チャンネルPCM通信方式のA-D変換器には $f_s=8\text{kHz}$ の逐次比較形が採用された。トランジスタがまだ貴重品であった時代には、一つのA-D変換器で音声24チャンネル分を時分割処理する構成は $\Delta M$ 方式や $\Delta \Sigma$ 方式に比べて経済的に有利であったのであろう。次に1970年後半からA-D、D-A変換器のLSI化が研究された。LSI技術はまだ $5\mu\text{m}$ の時代である。オーバーサンプリング方式としてベル研で発明された補間形(後述)の研究試作が進んでいたが、MOS技術では動作速度が不十分であった。一方、MOS回路に適した方式として発明されて間もない容量アレーによる逐次比較形を用いたA-D変換器がPCM-CODEC-LSIに採用された<sup>(3)</sup>。オーバーサンプリングA-D変換技術は2回目のチャンスでも採用されなかった。しかし80年代後半の $1.5\mu\text{m}$ 以下のVLSI技術の時代になって回路の速度と論理回路の集積密度が向上したため、逐次比較形とオーバーサンプリング形とを比較したとき、チップサイズ、消費電力ともに後者の方が有利となった<sup>(4)</sup>。またフィルタのデジタル化が可能となるため、LSIの高機能化、適応化が容易となった。オー

バサンプリング A-D 変換方式は発明から 40 年後の VLSI 時代に、当時のねらいとは異なるものの、本格的に採用されるようになった。

### 3. 高性能化の方法

$\Delta M$  方式や  $\Delta\Sigma$  方式を基本として図 1 に示すように種々の高性能化の方式が考案された。

量子化ビット数を増加させれば高性能化が図れるが、基準電圧や帰還 D-A 変換器の非直線性誤差が原理的に発生しないという 1 ビット量子化の利点が失われる。このため、無調整で LSI 化するためには 1 ビット量子化が適する。

$\Delta M$  方式は量子化ステップを可変にすることにより入力信号の傾斜制限を克服して、標準のビットレートの 1/2 くらいの高効率符号化を指向した ADM (Adaptive Delta Modulation) 方式に至った。また  $\Delta M$  と  $\Delta\Sigma$  を併用する補間方式がバル研で発明された<sup>(6)</sup>。これは図 3 に示すように  $\Delta\Sigma$  の帰還ループに予測器を追加し、

$\Delta M$  による予測と  $\Delta\Sigma$  によるノイズシェーピングの効果を高 SN 比を得るものである。通常の構成では安定性を確保するには次数は 1 次予測と 1 次ノイズシェーピングに制限され、SN 比の理論値は 2 次の  $\Delta M$  方式と  $\Delta\Sigma$  方式の中間の値になる。予測器はアナログ回路でもデジタル回路でも実現できるが、後者では多ビット D-A 変換器が必要となるため、この非線形誤差が SN 比向上の制限要因となる。

$\Delta\Sigma$  方式の SN 比を計算すると図 4 に示すようになる。次数  $k$  の  $\Delta\Sigma$  方式でサンプリング周波数 ( $f_{os}$ ) を  $n$  倍に上げると、SN 比は  $10(2k+1)\text{Log } n$  dB 向上する。しかし、一般に次数をあげると位相が回って安定性が失われる。更に 1 ビット量子化器は振幅リミタとして働いたため、入力振幅

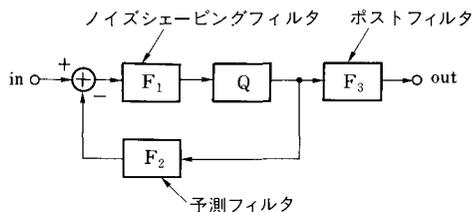


図3 補間形  $\Delta M$  と  $\Delta\Sigma$  を併用。ノイズシェーピングにより雑音を高周波に移動し、同時に予測符号化による雑音量を減少して、高 SN 比を得る。

が大きいのほど不安定になる。安定性解析によれば 1 ビット量子化の場合、通常の設計では 3 次以上で発振する。また  $k$  をあげると回路のセットリングに時間がかかるため  $f_{os}$  を下げる必要がある。

これらの問題を解決するために、MASH (Multi Stage Noise Shaping) 方式が発明された<sup>(6)</sup>。これは図 5(a) に示すように安定な 1 次の  $\Delta\Sigma$  量子化器を多段に接続して、パイプライン的に並列動作させ、各段の出力を合成する方

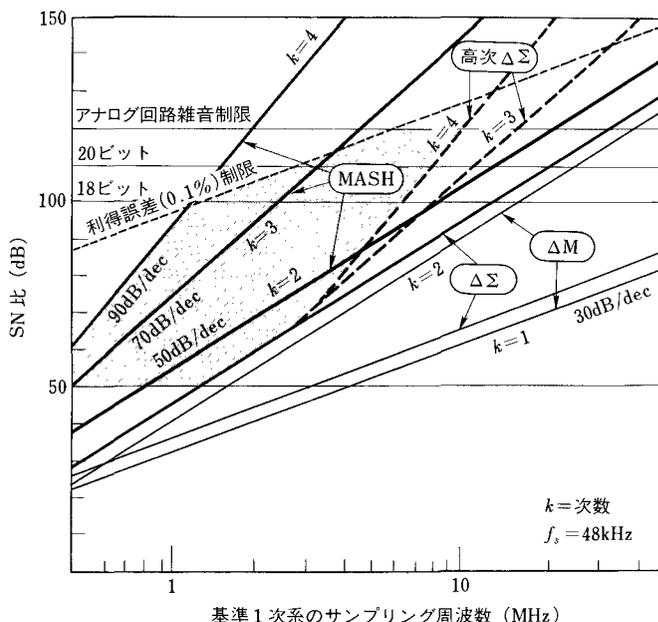


図4 オーバサンプリング A-D 変換器の SN 比 各種の方式の SN 比を計算。サンプリング周波数は 2 次  $\Delta\Sigma$  では 1 次系の 2/3、3 次以上では 1/2 とした。MASH 方式は次数によらず 1 次系と同じ。斜線部が MASH でないと実現できない領域。低いクロック周波数でも高い SN 比が得られるので広帯域化にも有利。

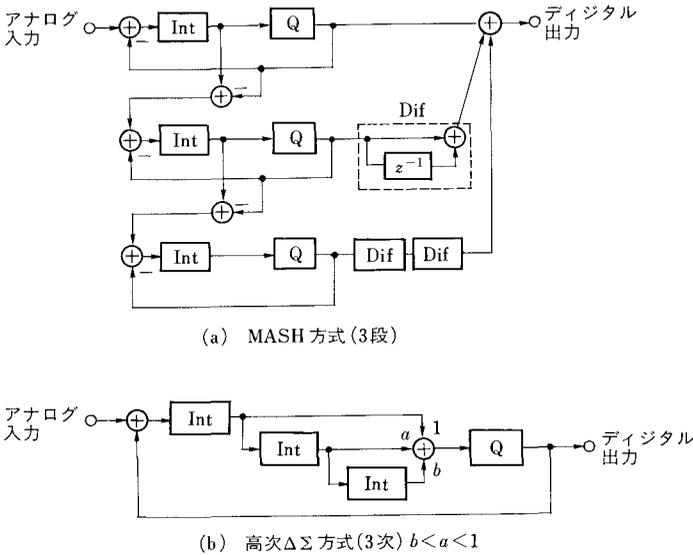


図5  $\Delta\Sigma$ 方式をもとにした高精度化方式  $\Delta\Sigma$ 方式をもとにして、3次以上のノイズシェーピングA-D・D-A変換器を得るため、MASH方式と高次 $\Delta\Sigma$ 方式が考案された。

式である。高次の帰還ループがないため3段以上でも発振の心配はない。また各段はパイプライン並列動作をするため  $f_{os}$  を下げることなく高次化できる。シグナルの流れでみると、前段で発生した雑音  $N_q$  を次段で量子化して初段の出力から減算して補正する原理である。  $k$  段構成のMASH方式A-D変換器の伝達特性を計算すると  $k$  次のノイズシェーピングが実現されていることがわかる。従って、理論的には図4に示すように、3次(70 dB/dec)以上の傾きのSN比向上を期待できる。SN比の上限はシェーピングされない入力部のアナログ回路の雑音で制限される。これは他の方式にも共通で図4では水平な直線で表される。 $\Delta\Sigma$ 方式では生じない誤差として、MASH方式ではアナログ処理による積分とデジタル処理による微分の利得偏差により生じる補正誤差がSN比を制限する。この誤差は段間の利得偏差による1次の傾き(30 dB/dec)でSN比を制限する。これらを考慮しても  $f_{os}=3$  MHz ( $f_b=24$  kHzとして  $n=64$ )で100 dB以上のSN比が得られる。2次 $\Delta\Sigma$ 方式でこのSN比を得るには、1次系の動作速度を12 MHz以上にする必要がある。

$\Delta\Sigma$ 方式で複数の積分器の図5(b)のように接続して安定に3次以上の高次 $\Delta\Sigma$ を実現する方法がある<sup>(7)</sup>。安定化のために高周波数で次数を下げざるをえないので、ノイズシェーピングの効果は減少し $\Delta\Sigma$ 方式の理論SN比に対して3次で15 dB、4次で30 dB程度は低くなる。しかし、基準1次系が12 MHzで動作すれば3次 $\Delta\Sigma$ で100 dB以上のSN比が得られる。

高SN比化と共に広帯域化も重要な課題である。オーバーサンプリング倍率  $n$  を高めればよいが、デバイスの速度に制限される。例えば信号帯域が100

kHz程度になると倍率100を得るには  $f_{os}=20$  MHzすなわち50 ns以下のセットリング時間が必要となり、CMOSでは実現しにくい。前述したように $\Delta\Sigma$ 方式では高次化するとサンプリング周波数をさげる必要があるが、MASH方式はその必要がないので、広帯域化にも適した方式といえる。

#### 4. VLSIの構成法と応用例

オーバーサンプリングA-D、D-A変換技術を適用したVLSIの構成法を見てみよう。

第1の構成法は高精度化を目的として専用・最適設計した専用LSIである。例としてデジタルオーディオ用のA-D、D-A変換LSIがある。従来はレーザトリミングによる多ビット(16~18)D-A変換LSIを用いた。多ビットD-A変換器は薄膜抵抗を搭載したバイポーラLSI技術に適し、CMOS-VLSI技術での実現には適さない。また、多ビットD-A変換では荷重抵抗の誤差やグリッチが生じるため微小信号レベルの品質に問題があった。

まずMASH形で3次ノイズシェーピングを実現したA-D変換LSIについて述べる。図6

にLSIのブロック構成を示す<sup>8)</sup>。MASH部は、スイッチ、容量、増幅器からなるスイッチトキャパシタ(SC)積分器、1ビットD-A変換器および電圧比較器で構成され、サンプリング周波数3MHz(デジタルオーディオ信号のサンプリング周波数 $f_s$ の64倍)で動作する1次の $\Delta\Sigma$ 量子化器を3段接続している。1次の $\Delta\Sigma$ は特定の

入力信号振幅のとき1ビット出力パターンの繰り返しによる不感動領域が発生し、SN比を低下させる。これを除去するために入力に小さい振幅のパルス(ディザ)を重畳させている。初段の $\Delta\Sigma$ 量子化器は雑音を減らすために差動化している。各段の出力をMASHのシグナルフローに従って合成した後、4次くし形フィルタでサンプリング周波数を1/16の $4f_s$ に落とし、サンプリング点を間引き(デシメーション)し、更に $4f_s$ で動作する256タップの有限インパルス応答(FIR)フィルタで帯域外の雑音を除去してサンプリング周波数 $f_s$ で出力する。図7に各部の周波数特性と信号伝達特性と雑音の関係を示す。このLSIは16ビットにせまる91dBのSN比と0.002%のひずみ率特性をもち、デジタルオーディオテープ(DAT)などに適用される。このほかにも4次 $\Delta\Sigma$ 方式を用いて、図5(b)と同様の方法で安定性を改善した16ビット精度のLSIと、量子化ビット数を上げて18ビット精度をね

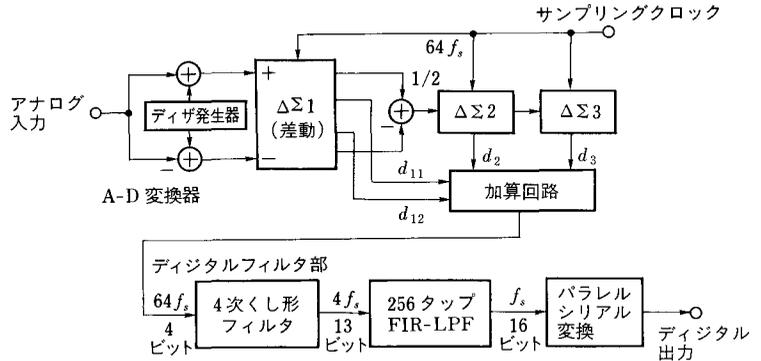


図6 MASH方式A-D変換LSI 3段のMASH方式A-D変換器とデジタルフィルタを1チップに搭載したCMOS-LSI。初段の $\Delta\Sigma$ 量子化器は差動回路として入力部のアナログ回路を高SN化。フィルタは256タップの高精度FIRを搭載。おもな性能S/N:91dB、ひずみ率0.002%、 $f_s$ :48kHz。

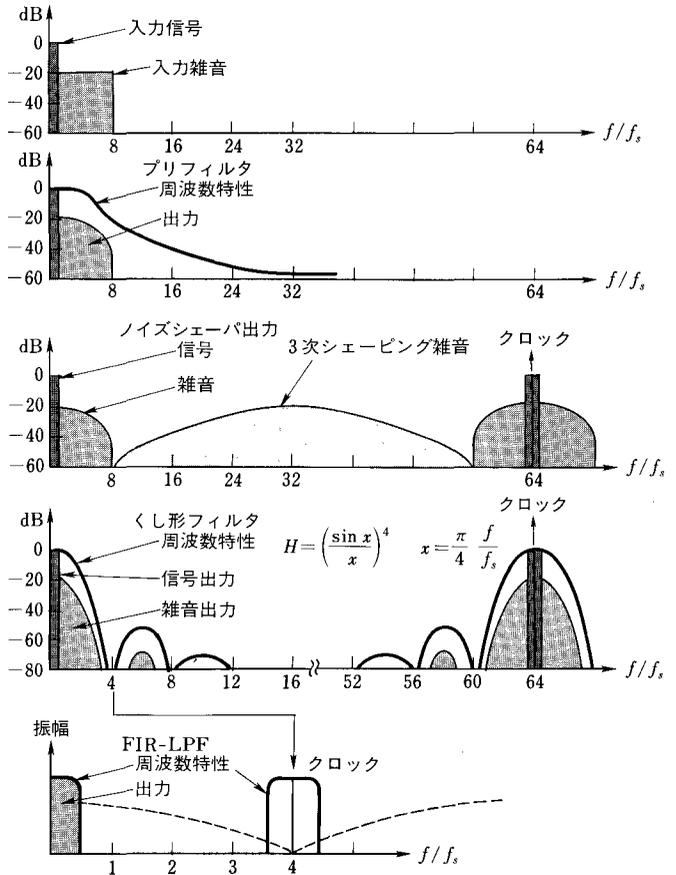


図7 MASH方式A-D変換LSI各部の周波数特性 64kHzの外來雑音はプリフィルタで除去され、MASHノイズシェーパでシェーピングされた雑音はくし形フィルタとFIR-LPFで除去される。急しゅんな遮断特性はFIR-LPFでまざる。

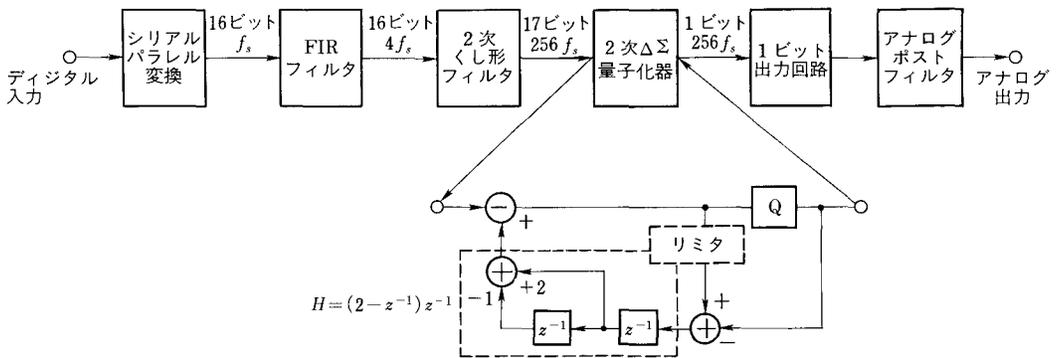


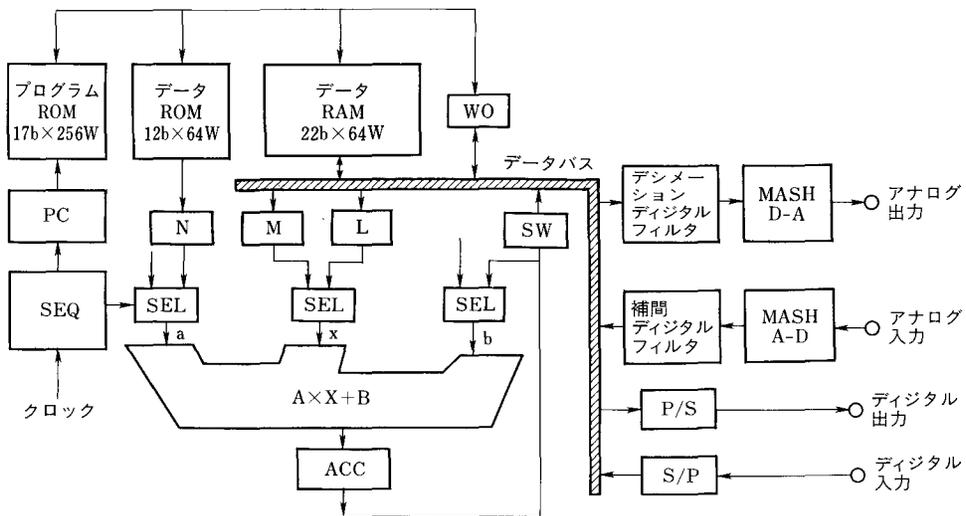
図8 2次 $\Delta\Sigma$ 形D-A変換LSIのブロック図 256 $f_s$ で動作する2次 $\Delta\Sigma$ 方式を採用.  $\Delta\Sigma$ の出力PDMをスイッチトキャパシタによる1ビット出力回路でアナログに変換. LSIにはこの回路を2チャンネル分搭載. おもな特性はS/N : 90 dB,  $f_s=44.1$  kHz.

らった3チップ構成のLSIがある.

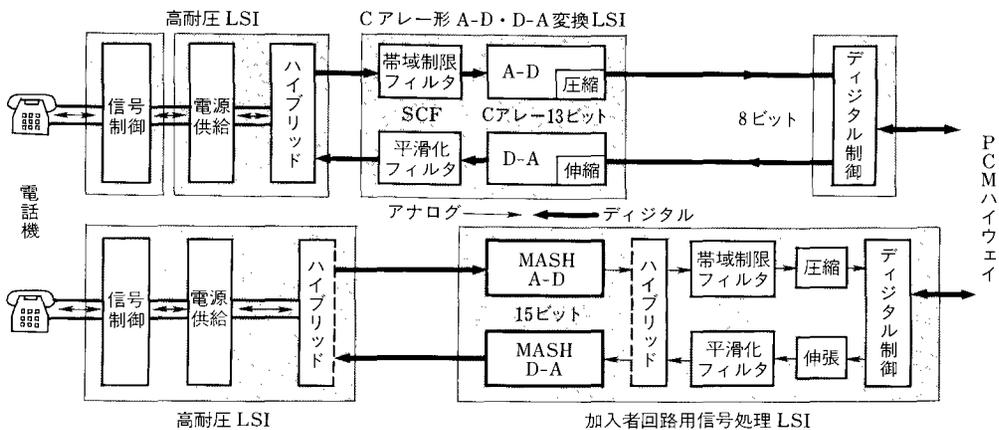
A-D変換と同じ原理をD-A変換にも適用できる. 2次 $\Delta\Sigma$ 方式を用いたD-A変換LSIのブロックを図8に示す<sup>(9)</sup>. デジタルフィルタ, 2次 $\Delta\Sigma$ 方式のノイズシェーパとPDM (Pulse Density Modulation) の出力回路が搭載されている. オーバサンプリング周波数 $f_{os}$ は約12 MHzで $n=256$ である.  $\Delta\Sigma$ 符号の出力をSC回路による1ビット出力回路でアナログに変換している. フィルタの構成は $4f_s$ の直線位相FIRフィルタと $128f_s$ のくし形補間フィルタである. このLSIは90 dB以上のSN比特性を持つ. MASH方式を用いたD-A変換LSIも開発された<sup>(10)</sup>. 1次 $\Delta\Sigma$ と2次 $\Delta\Sigma$ の2段MASH方式を用いて, 3次のノイズシェーピングを実現している. 1ビット量子化のMASH方式(図5)では出力振幅が低下するので, これを防ぐため初段の量子化レベルを5値としている. D-A変換の場合, 多値化は出力回路にとって不利であるが, 電圧軸上では2値出力ながら多値を出力できるPWM (Pulse Width Modulation) 方式の出力回路を用いて解決している. これは簡単なCMOSインバータ, 増幅器, アナログLPFで実現できる. フィルタとして $4f_s$ の256タップFIR-LPFと $64f_s$ のくし形フィルタをオンチップ化している. このLSIでは17ビット相当のSN比と0.001%以下の低ひずみを得ている.

第2の構成法はA-D・D-A変換器とデジタル信号処理プロセッサ(DSP)で構成される特定用途のVLSIである. その例としてデジタル交換機の加入者回路用の信号処理LSIがある. 図9(a)にそのブロック構成を示す. 加入者回路ではA-D・D-A変換(CODEC)の機能に加えて, 電話回線の終端インピーダンス整合, ハイブリッドなどの複雑な機能が必要であるので, 信号処理部は融通性のあるDSPアーキテクチャで実現している. A-D, D-A変換にはハイブリッドなどの機能をデジタル化するのに, 音声符号化に必要なビット数に対して2ビットを加えた15ビット精度が要求される.  $f_{os}=2$  MHz ( $n=256$ ) の2段のMASH方式を用いて実現している. 従来のCアレー逐次比較形A-D変換LSIによる加入者回路に比べて, 処理がデジタル化された様子が図9(b)からわかるであろう. 同様のVLSIとしてのMODEMのフロントエンド用などがある<sup>(12)</sup>. これらは将来, アナログI/O付の汎用DSPとして発展するであろう.

第3の構成法はA-D, D-A変換器をASICのマクロセルとする構成である<sup>(13)</sup>. 例としてISDNのデジタル伝送インタフェースのフロントエンド用LSIがある. 100 kHz帯域で13ビットのA-D変換器が補間形などで実現されている. オーバサンプリングA-D・D-A変換器は通常のCMOSで実現でき, 面積が小さく,



(a) 加入者回路用信号処理 LSI (MASH 使用)



(b) 加入者回路の構成

上：Cアレー形 A-D・D-A 変換器による構成 (4チップ)  
 下：MASH方式 A-D・D-A 変換器による構成 (2チップ)

図9 電話加入者回路 MASH方式を用いた信号処理 LSIでは、汎用の信号処理プロセッサとその I/O として A-D・D-A 変換器が 1.5 μm CMOS-VLSI に搭載されている。Cアレー形 A-D・D-A 変換に比べて、フィルタなどの信号処理はデジタル化された。

素子感度が低いという優れた特性をもつ。またクロック周波数によって信号帯域と精度を可変にできる性質は融通性の高いマクロセルを実現するのに適している。

### 5. 将来動向

オーバサンプリング A-D・D-A 変換器の一層の広帯域と高精度化が進むであろう。広帯域

化の目標としてビデオ信号がある。8~10ビットとあまり高い精度は要求されないが、 $n=100$  とするためには 1 GHz 以上のクロックが必要である。現在主流になっている並列比較形 A-D 変換器、あるいは開発途上の直並列形やサブレンジ形などと競合するには、回路的なブレイクスルーが必要であろう。高精度化もアナログ回路とデバイスの洗練、更にデジタル技

術との組合せで進展するであろう。これにより計測機器や制御装置にも適用領域が拡大される。小チップ面積化、低電力化は低エネルギー動作の機器例えば携帯用通信器、医療用のセンサなどに有効である。更にアナログI/Oとしてのトランスペアレントな性能の追求のみでなく、生体機能のように欲しい信号を選択する変換器などもありうる。これにもオーバーサンプリング方式が適するものと考える。

## 6. あとがき

歴史は古いが、オーバーサンプリングA-D、D-A変換は最新の回路のテーマである。サブ $\mu\text{m}$  ULSIへ技術が進展し、またニューラルコンピュータなどアナログ回路が見直されるなかで、基本機能として、より進歩したA-D・D-A変換方式が要求されている。大学での回路の研究、若い人のアイデアに期待したい。

## 文 献

- (1) F. de. Jager : "Delta Modulation, A Method of PCM Transmission using The 1-Unit Code", Philips Res. Report, 7, pp.442-466 (1952).
- (2) H. Inose and Y. Yasuda : "A Unity bit Coding Method by Negative Feed-back", Proc. IEEE, 51, pp.1524-1534 (1963).
- (3) A. Iwata, H. Kikuchi, K. Uchimura, A. Morino and M. Nakajima : "A Single-chip CODEC with Switched-Capacitor filters", IEEE J. Solid-State Circuits,

SC-16, 4, pp.315-321 (1981).

- (4) 岩田 : "アナログ信号処理用集積回路の現状と将来", 軽井沢回路とシステムワークショップ論文集, pp.179-186 (昭63).
- (5) J. Candy : "A Use of limit cycle oscillations to obtain robust analog-to-digital converters", IEEE Trans. Commun., COM-22, pp.298-305 (1974).
- (6) K. Uchimura, et al. : "VLSI A to D and D to A Converters with Multi Stage Noise Shaping Modulators", ICASSP 86, pp.1545-1548 (1986).
- (7) 黒田 : "スタガード・デルタ・シグマ形1bit ADC/DACのシミュレーションと実験・実測・波形観測", ラジオ技術, pp.88-97 (平元-02).
- (8) Y. Matsuya, et al. : "A 16 bit Over-sampling A-to-D Conversion Technology using Tripe Integration Noise Shaping", IEEE J. Solid-State Circuits, SC-22, 6, pp.921-929 (1987).
- (9) P. Naus, et al. : "A CMOS Stereo 16-bit D/A Converter for Digital Audio", IEEE J. Solid-State Circuits, SC-22, 3, pp.390-395 (1987).
- (10) Y. Matsuya, et al. : "A 17-bit Oversampling D/A Conversion Technology using Multistage Noise shaping", IEEE J. Solid-State Circuits, SC-24, 4, pp.969-975 (1989).
- (11) T. Kimura, et al. : "A Dual-chip SLIC Using VLSI Technology", GLOBECOM'87, pp.1766-1770 (1987).
- (12) A. Yukawa, et al. : "An Oversampling ADC Macrocell with Rail-to-Rail Input Voltage Capability", ISSCC 87, pp.46-47 (1987).
- (13) K. Nagai, et al. : "A Signal Processor for voiceband Applications", ISSCC 88, pp.60-61 (1988).



岩田 穆 (正員)

昭43名大・工・電子卒。昭45同大大学院修士課程了。同年電電公社武蔵野通研入社。以来、通信用アナログ集積回路と信号処理プロセスLSIの設計に従事。現在、NTT LSI研究所主席研究員。著書「スイッチトキャパシタ回路」(共著)、「VLSIのためのアナログ技術」(共著)。