

3.

岩田 穆 永田 真 森江 隆
(広島大学)アナログ・デジタル融合回路による
知能処理LSI

1. デジタルコンピュータと脳

1970年にマイクロプロセッサやメモリが発明されて以来、デジタル集積回路とソフトウェア技術の進歩と共に、デジタルコンピュータが大いに進歩した。このコンピュータはプログラムに従って、間違いなく高速に計算したり、膨大な情報を記憶する能力に関しては、人間を凌駕している。しかし、些細なソフトのミスで止まったり、情報の意味を認識せずに処理する馬鹿正直な「マシン」である。人間のような融通性がなく、直観的判断ができない。まして「感情」「ひらめき」などの感性的な機能は全く期待できない。また、コンピュータの情報表現は2進符号であり、記憶や演算に多数のトランジスタの高速スイッチング動作が必要であるので、大電力を消費するという欠点もある。

一方、脳は膨大な数のニューロンが複雑に接続したネットワークであり、プログラムによる逐次動作ではなく、学習によって獲得した機能に基づいて、各ニューロンが自立的に同時動作している。また、脳は単なるバイナリー情報で

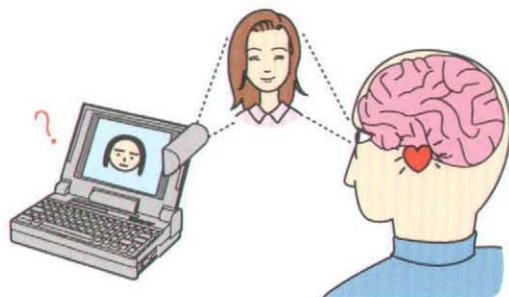


図1 デジタルコンピュータと脳 デジタルコンピュータは人間の顔を見て認識するようなことを不得意とする。これをLSI技術で実現するシステムが知能処理の目標になる。

はなく、アナログ的で分散した情報表現も用いている。人の顔を見ると正面からの顔でなくても、表情があっても、瞬時にだれであるかを理解する(図1)。脳はこのようなコンピュータが不得意とする処理を容易に実現する。ここでは、脳が得意とする直観的で融通性のある処理を「知能処理」ということにし、これを実現する新型のコンピュータを考えよう。そのために従来とは異なる原理のアーキテクチャやVLSI回路が必要となる。

2. 知能的なコンピュータを実現するには

2.1 知能処理の特徴

(1) 知能処理はアルゴリズム化が困難

複雑な入力パターンに基づいて最適な解を求めたり、微妙な表情をとらえるような処理をアルゴリズム化することはほとんど不可能に近い。アルゴリズムやプログラムを必要としない動作原理が必要である。

岩田 穆：正員 広島大学工学部第二類（電気系）

E-mail iwa@dsl.hiroshima-u.ac.jp

永田 真：正員 広島大学工学部第二類（電気系）

E-mail nagata@dsl.hiroshima-u.ac.jp

森江 隆：正員 広島大学工学部第二類（電気系）

E-mail morie@dsl.hiroshima-u.ac.jp

Intelligent Processing LSIs Using Merged Analog and Digital Circuits. By Atsushi IWATA, Makoto NAGATA, and Takashi MORIE. Members (Faculty of Engineering, Hiroshima University, Higashi-Hiroshima-shi. 739-8527 Japan).

電子情報通信学会誌 Vol.81 No.9 pp.893-897 1998年9月

(2) 学習能力が本質的に必要

前述の動作原理として学習による機能の実現が有望である。学習とは入力と期待する出力(教師信号)を外から与えて、所望の機能をもたせることである。何らかの原因でシステムの一部が破壊しても、大勢に影響のないフォールトトレランス性、更には自己修復する能力も学習で実現できる。入力情報によって新しい機能を形成する自己組織化機能も期待できる。

(3) 膨大な数のプロセッサが並列動作

人間の脳には 10^{11} 個のニューロンがあり、 10^{15} のシナプスがあるらしい。知能処理では数値や記号でなく膨大な数の「パターン」データを処理することが必要になる。このために細粒度の超並列プロセッサが必要である。

(4) アナログとデジタルを融合

生体のニューラルシステムでは、ニューロンの入力の時間・空間での加算結果はニューロン内部のアナログ電圧信号(後シナプス電位)で表現される。また、出力は活動電位とよばれるパルスの密度変調信号(PDM)で表現され、他のニューロンに伝達されてアナログ的に加算される。このようにアナログとデジタルの融合(以下、アナディジとよぶ)の信号を用いている。

(5) 非線形、非単調特性が本質?

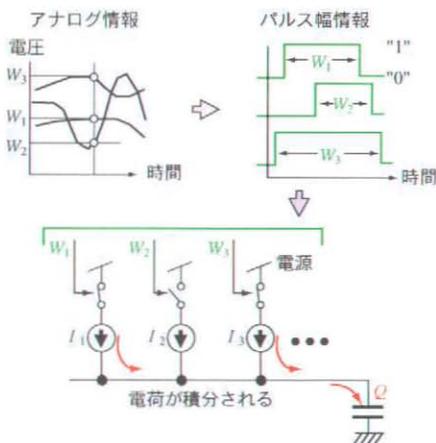


図2 PWM 幅変調信号を用いた多入力加算の原理 パルスが“1”の時間に一定電流を流し、これを積分することにより $W_1 \sim W_n$ を並列に加算する。スイッチと電流源は2個のMOSトランジスタで実現できる。 $I_1 \sim I_n$ に重みをかければ乗算もできる。

ニューロンにおけるシグモイド特性のような非線形特性や非単調特性の役割はまだ解明されていないが、大規模な脳のようなシステムを安定に動作させるのに本質的であろう。

2.2 規模と消費エネルギーを比較すると

大規模システムでは回路の低電力性が重要である。脳の消費電力は数Wといわれている。オーダ比較のために10Wとし、 10^{11} 個のニューロンが10Hzで動くとする。1回の動作で消費するエネルギーは100pJ (10^{-10} J)になる。一方、クロック10MHzのVLSIプロセッサの消費電力は約1Wであるので、1クロックで0.1pJ (10^{-7} J)のエネルギーを消費する。プロセッサはニューロンと比較すると、1,000倍大きなエネルギーを消費している。従って、相当な低エネルギー化の余地があるといえよう。

2.3 アナログとデジタル

(1) 情報表現の方法

情報を表現する信号には時間軸・振幅軸共に連続情報をもつアナログ信号と、時間・振幅共に離散情報のデジタル信号がある。両者の中間には時間額のみを量子化したサンプル値アナログ信号、振幅軸を量子化した多値デジタル信号、時間軸情報を用いた変調信号がある。これら情報の表し方は実現回路と密接に関連しており、ここでの議論の中心課題である。

(2) 素子数と集積規模

論理回路ではMOSトランジスタのスイッチング機能しか使っていない。1bitの加算演算を行うのに20素子程度を使うので、16bit以上の高精度処理には多数の素子が必要になる。これに対してアナログ回路では、オームの法則、キルヒホッフの法則などの物理法則を利用しているので、デジタルに比べてけた違いに少ない素子で同じ機能を実現できる。例えばアナログ乗算回路と最も基本的なデジタル乗算器を比較すると、8bit精度の場合でアナログで10素子に対してデジタルでは2,000素子程度であり、アナログの方が1/200の少ない素子数で実現でき、小面積、低電力の効果は大きい。但し、アナログ素子のマッチング誤差や雑音を抑

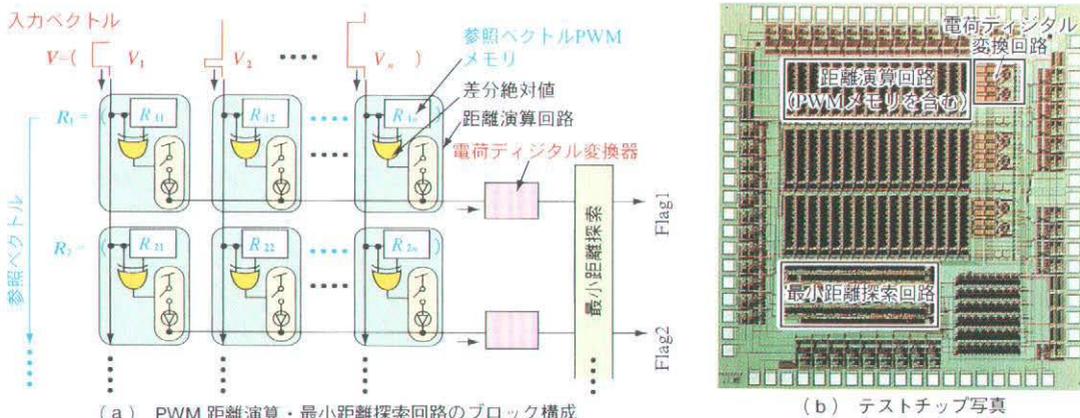


図3 距離演算・最小距離探索テストチップ PWM 信号の差分絶対値演算は EXOR ゲート 1 個で実現できる。それを図 2 の原理で加算してマンハッタン距離を演算し、最小値を探索する。テストチップは CMOS で 4.8 mm×4.8 mm に 3 個の距離演算回路を集積している。

えるためにゲート面積を小さくできないので⁽¹⁾、単純に素子数のみでは比較できない。

(3) 処理の精度

デジタル回路の精度は bit 数で決まるので、これを増加させれば精度は向上する。しかし、消費エネルギーとチップ面積が増加するので限界がある。一方、アナログ回路の精度は素子の非線形性や各種の雑音によって制限されるので、高精度は得にくい。従って、精度を並列性で稼ぐような処理方式が好ましい。

3. アナディジ融合回路

3.1 アナログ・デジタル融合の考え方

アナログとデジタルはそれぞれ長所と短所をもつので、両者を適材適所に使って両者の特長を生かした回路アーキテクチャを考案して^{(2),(3)}、CMOS 技術で知能処理 LSI を実現することをねらっている。うまく融合すればデジタル回路の高精度演算、長期記憶、プログラム制御を生かし、アナログ回路の多入力並列演算、低電力動作を生かせる。MOS デバイスの微細化によりトランスコンダクタンスの向上と寄生容量の低下によって回路の動作速度が向上する。しかし、MOS の耐圧と共に電源電圧を下げる必要があるので、信号の電圧レンジが低下する。従って、アナログ情報を電圧軸で表現するには限界がある。そこでパルス変調信号を

使って情報を時間軸で表現する「時間軸情報処理」を提案する。パルス変調信号にはパルス幅変調 (PWM)、パルス位相変調 (PPM) などがあり、これらの振幅は 2 値であるので、低電圧で動作する論理回路を多用できる。

パルス変調以外にも、ニューロン MOS を用いたアナディジ融合回路が提案されている⁽⁴⁾。MOS のゲートをフローティングにして、多数の入力電圧と容量結合させてゲート電位を制御し MOS をオンオフする。入力部分はアナログであるが出力はバイナリーデジタルになる。この回路を用いて、多入力演算、制御電圧によるダイナミック可変論理、多値演算などの知能処理に有用な各種の機能が実現されている。紙面の都合で詳細は省略する。

3.2 パルス変調信号アナディジ融合回路アーキテクチャ

このアーキテクチャの要点は多入力の並列演算部や情報伝送部にはパルス変調信号を用い、高精度演算、高機能制御部にはデジタル信号を用いることである。まず、パルス幅変調 (PWM) 信号を考えよう。

(a) PWM 線形演算回路

信号処理では加算、乗算が最も多用される。知能処理では多入力並列演算機能も要求される。PWM 信号のアナログの性質を利用すれば、多入力加算は図 2 に示すように PWM でオンオ

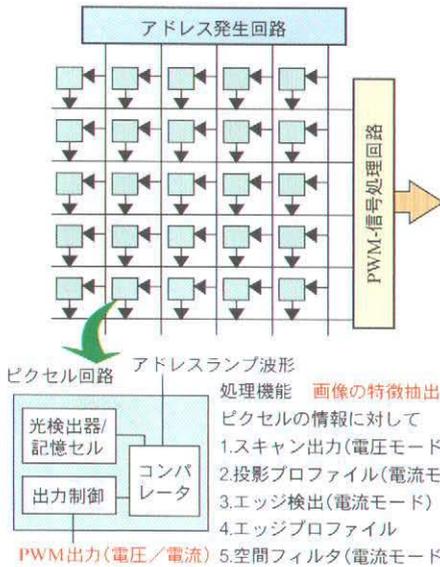


図4 PWM 機能イメージセンサ ピクセルアレイに対するアドレス信号としてランプ波形を加え、これと光強度を変換した電圧とをコンパレータで比較して、PWM 信号に変換する。PWM 信号の出力には電圧モードと電流モードがあり、PWM 信号処理により、画像処理機能を実現する。

フする電流源と積分容量で実現できる。2進重み付けした電流値を用意して、係数の bit と PWM の AND をとって電流源をオンにすると乗算が実現できる。この演算回路の最大の特長は多数の入力を並列に演算することである。演算結果の電荷量を PWM にするには、逆向きの基準電流で放電して、電荷が0になるまでの時間を出力すればよい。また、通常の A-D 変換器を用いてデジタル信号に変換することもできる⁽⁶⁾。

認識処理に必要なパターンマッチングには参照ベクトルと入力ベクトルとのマンハッタン距離をよく用いる。この距離はベクトルの要素ごとの差分絶対値の和で定義される。PWM 信号の差分絶対値演算は EXOR ゲートのみで実現できる。多数の参照ベクトルに対する距離最小値を探索するには、すべての距離値を一括して見る必要があるが、PWM 信号の最小値の並列検索は容易である。我々は PWM による最小距離探索機能をもつ CMOS テストチップを設計試作した。その機能ブロック図とチップ写真を図3に示す⁽⁶⁾。

(b) センサ融合におけるアナディジ融合回路

通常センサの出力はアナログ信号であり、情報が冗長であるが、これを効率良く処理するのも知能処理の一種といえる。最近、CMOS イメージセンサの開発が活発になった。これは画像情報の読出しのみでなく、情報圧縮機能ももたせることがねらいである。差分検出機能をもたせて情報圧縮する CMOS イメージセンサや、網膜の情報処理を模擬したビジョンチップも開発されている⁽⁷⁾。我々は PWM 信号によるアナディジ融合回路を用いた機能イメージセンサを提案している⁽⁸⁾。そのアーキテクチャを図4に示す。アドレス信号として参照ランプ波形を各ピクセルに供給し、ピクセルの光強度を PWM 信号として読み出すことが基本機能である。前述の PWM 信号の加算原理を用いて、各列を同時アクセスして出力 PWM 信号の和を演算でき、更にランプ波形の傾きを係数とする荷重和も演算できる。また EXOR ゲートを使えば差演算も実現できる。これらによりピクセルアレイ上で各種の空間フィルタを実現できる。

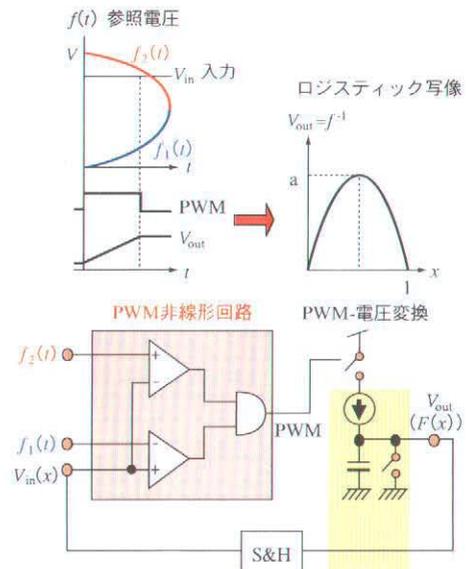


図5 PWM 非線形回路とカオス発生回路 時間に対して非線形に変化する参照波形 $f(t)$ と入力電圧をコンパレータで比較して PWM に変換する。回路の伝達関数は $f(t)$ の逆関数になる。図はロジスティック写像 $V_{out} = 4ax(1-x)$ の場合である。PWM を電圧に変換して S & H 回路 (サンプルアンドホールド回路) を通して入力に帰還するとカオス発生回路を実現できる。

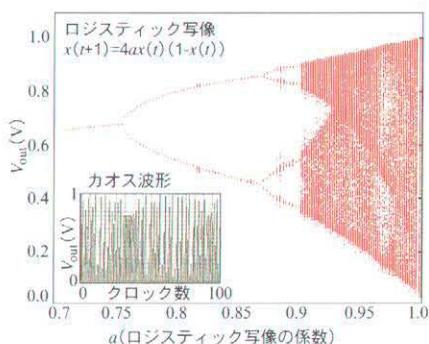


図6 カオスの波形と分岐 図5のカオス発生回路でシミュレーションしたもの。カオスは理論どおりの特性をもち、制御性が高い。

(c) PWM 非線形回路とカオス発生

PWM 信号を用いて非線形あるいは非単調特性をもつ回路を実現する方法を考案した⁹⁾。その原理を図5に示す。時間に対して非線形に変化する参照波形 $f(t)$ とホールドされた入力電圧をコンパレータに入力すると、入力電圧 V_{in} に対して $f(t)$ の逆関数の PWM 信号を出力する。二次の関数の場合には f_1, f_2 の2種の波形を入力すればよい。任意の参照波形を発生するには D-A 変換器が使える。この非線形回路の出力を遅延させて入力に帰還させるとカオス発生回路が実現できる。このカオス発生を回路シミュレーションにより検証した結果を図6に示す。理論式どおりのカオスが発生している。このカオス発生回路は制御性が高いことが特長である。カオス連想ネットワーク、カオティック探索等に使える。また、非線形回路はカオス以外にも脳のモデルの一つである非線形振動子¹⁰⁾にも使える。

4. む す び

知能処理 LSI の回路アーキテクチャとして、パルス幅変調信号を用いたアナディジ融合回路を提案した。また、イメージ処理やカオス発生への適用についても述べた。これは多入力の演算や非線形演算をデジタル回路に比べて1けた以上少ない素子数と電力で実現できるので、将来の知能 LSI に大きなインパクトを与えるであろう。パルス幅のみでなく位相の利用などへの拡張が

考えられ、脳に迫る処理機能に発展できよう。

文 献

- (1) M.J.M. Pelgrom, A.C.J. Duinmaier, and A.P.G. Welbers, "Matching Properties of MOS Transistors," IEEE J. Solid-State Circuits, vol.24, no.5, pp.1433-1440, May 1989.
- (2) 岩田 穆, "パルス幅変調方式 AD 融合信号処理回路," 信学技報, ICD 94-131, Sept. 1994.
- (3) A. Iwata, and M. Nagata, "A concept of Analog-Digital merged Circuit Architecture for Future VLSIs," IEICE Trans. Fundamentals., vol.E 77-A, no.2, pp.145-157, Feb. 1996.
- (4) T. Shibata, and T. Ohmi, "Neural microelectronics," Digest of IEDM, pp.337-342, Dec. 1997.
- (5) M. Nagata, J. Funakoshi, and A. Iwata, "A PWM Signal Processing Core Circuit Based on a Switched Current Integration Technique," IEEE J. Solid-State Circuits, vol.33, no.1, pp.53-59, Jan. 1998.
- (6) M. Nagata, et al., "A Minimum Distance Search Circuit using Dual-line PWM Signal Processing and Charge Packet Counting Techniques," Digest of ISSCC, pp.42-43, Feb. 1997.
- (7) C. Mead, Analog VLSI and Neural Systems, Addison-Wesley, 1989.
- (8) 岩田 穆, 永田 真, 森江 隆, 本間 充, 東 裕人, 小川武則, "PWM 方式機能イメージセンサの構成," 信学技報, ICD 97-114, Aug. 1997.
- (9) T. Morie, S. Sakabayashi, M. Nagata, and A. Iwata, "Nonlinear function generators and Chaotic signal generators using a pulse-width modulation method," Electron. Lett., vol.33, no.16, pp.1351-1352, 1997.
- (10) 安藤博士, 酒林聡太, 森江 隆, 永田 真, 岩田 穆, "画像分割機能を有する振動子ネットワークと PWM 方式による回路実現," 信学技報, NC 97-155, March 1998.



いわた むつし
岩田 穆 (正員)

昭43名大・工・電子卒。昭45同大学院修士課程了。同年、日本電信電話公社(現NTT)に入社。平6広島大・教授、現在に至る。アナディジ混載LSI、光電子集積回路、脳型コンピュータの研究に従事。工博。著書「ニューラルネットワークLSI」など。



ながた まこと
永田 真 (正員)

平5学習院大学院自然科学研究科物理学専攻了。平6広島大集積化システム研究センター助手。平8広島大工・助手。研究テーマはアナログ・ディジタル混載システムLSI設計技術。具体的には、AD融合回路アーキテクチャ、クロストーク雑音検証手法の開発等。



もりえ たかし
森江 隆 (正員)

昭54阪大・理・物理卒。昭56同大学院修士課程了。同年、日本電信電話公社(現NTT)に入社。平9広島大・助教授、現在に至る。ニューラルネットワーク、脳型コンピュータ、知能処理LSIの研究に従事。工博。