

訂正箇所		「CMOS 集積回路の基礎」 初版 正誤表	2001 年 10 月 正
	はじめに L.8	工業製品とし	工業製品として
P.3	L.2	切り放せない	切り離せない
P.7	表 1.2	Transister Transister	Transistor Transistor
	L.2	高速化のために	高速化のために
P.9	L.7	の搭載して	に搭載して
	L.9	磁気ディス	磁気ディスク
P.10	L.17	Siganl	Signal
P.13	L.6,7	はんどうたい@半導体	<削除>
	L.17	蜜に	密に
P.15	L.3	運ぶう粒子	運ぶ粒子
P.34	L.18	スペースを W	スペースを S
P.36	L.13	V_{dd}	V_{ds}
	L.16	1 μ m	1mm
	L.17	Ω/cm	$\Omega \cdot cm$
P.38	L.15	sepalation	separation
P.41	L.17	vaper	vapor
P.43	L.9,11	Vaper	Vapor
P.48	L.1	るこれらは	る.これらは
P.49	図 4.3	$V_{gsp} = V_{dd} - V_{in}$	$V_{gsp} = V_{in} - V_{dd}$
P.50	L.2	程度とき	程度のとき
P.52	L.1	V_{gsp}	V_{gsn}
	表 4.1	論理和, AND 論理積, OR	論理和, OR 論理積, AND
P.61,62	図 4.19,20	{図 4.19,20 の図の内容を入れ替える}	
P.67	L.14	I_{dsat}	I_{dnsat}
P.68	式 (5.3)	$V_1 e^{-\frac{t}{\tau}}$	$V_1 e^{-\frac{t-t_1}{\tau}}$
	L.3	$= R_d C_L$ である.	$= R_d C_L$, R_d は線形領域の ドレイン抵抗である.
	式 (5.5)	V_{tp}	$ V_{tp} $
	図 5.3	$V_{dd} - V_{tp}$	$ V_{tp} $
P.70	L.16	長くと,	長いと,
	L.16	長いなり,	長くなり,
P.72	L.2	よってで決まる	よって決まる
P.73	L.12	$L = 1mm$	$L = 10mm$
P.74	L.7	縦続接続して	縦続接続で
P.76	L.1	$I(s)$ とすると	$I(s)$, C_L の初期電荷を 0 とすると
	式 (5.8)	$= V_{dd}$	$= \frac{V_{dd}}{s}$
	式 (5.9)	$= \frac{V_{dd}}{R_v + sC_L}$	$= \frac{V_{dd}}{sR_v + 1/C_L}$

訂正箇所		誤	正
P.76	L.4	初期値を	初期値は
	L.5	最終値を	最終値は
P.77	L.12	遷移による	遷移による
P.79	L.2	図 5.15 が	図 5.15 に
P.85	L.4	大量に記憶を	大量なデータを
	L.15	radom	random
P.89	L.20	時間は	時間は 10ns 程度と長い。
P.92	図 6.8	データ"1 "	データ"0 "
		データ"0 "	データ"1 "
P.107	L.8	クロックを.....システム	< 削除 >
P.111	図 8.7	t_{cyc}	T_c
		t_{set}	t_{setup}
		t_{logic}	t_{ld}
P.112	L.1	セットアップ時間	FF のセットアップ時間
	L.2	t_{hold} をホールド時間	t_{dFF} を FF の遅延時間
	式 (8.1)	$T_c > t_{logic} + t_{setup} + t_{hold} + t_{skew}$	$T_c > t_{ld} + t_{setup} + t_{dFF} + t_{skew}$
	L.8, 10	t_{hold}	t_{dFF}
	L.22	低倍	遜倍
P.119	L.19	ができるま	ができる . また
P.126	L.19	- /2	-
	L.20	-3 /2.... -2	-5 /4.... -3 /2
P.128	L.3	V_{s1}	V_{s1}
	L.10	しきい値電圧の分	V_{gs} の分
P.137	L.5,6	“1”.....”0”	“0”.....”1”
P.143	L.1	2^n	$2^n C_0$
P.146	L.1, L.2	V_j	V_{in}
P.147	L.8	CMOS を	{ 削除 }
P.147	L.15	どお	どおり
P.149	L.19	蜜	密
P.161	L.19	キルフホッフ	キルヒホッフ
p.166	L.5	設計する回路	設計する . 回路
P.181	L.8	マニュアル	マニュアル
P.186	L.3	すべてのにの配線	すべての配線
P.191	L.15	400 ピン程度ク	400 ピン程度, ク
P.191	L.16	プリント板い穴	プリント板に穴
P.193	L.16	LSI	LSI テスタ
p.197	L.7	多いに	大いに
	L.20	gds	rds
P.201	L.1	$5 \times 10^6 \dots \dots = 2.25W$	$5 \times 10^8 \dots \dots = 225W$
	L.6	保持もの	保持するもの
P.204	L.25	最大入力信号..である . < 削除 >	
P.206	L.5	L1 チップ....製造トは...+評価費ト)	
		1 チップ....製造コストは...+評価費)	