

インタコネクション技術の概要

Outline of Interconnection Technologies

岩田 穆

1. 集積エレクトロニクスの進歩

1.1 アーキテクチャ

マイクロプロセッサのビット数の拡大とともにクロック周波数が上昇したが、3 GHz 程度で壁にぶつかり、並列処理によるマルチコアが主流になった。更に超並列分散処理による能力向上に向かっている。光通信は1980年代から光ファイバの普及により、長距離の大容量通信から始まり、家庭用のFiber to the Home (FTTH)、コンピュータの装置間接続、ボード間通信と、短距離の領域にも適用が拡大してきた。図1にデータバンド幅と通信距離を軸として、既存のインタコネクション技術を示す。これからはプロセッサとメモリ間、分散プロセッサ間の情報転送など、より短距離のインタコネクション技術が一層重要になっている。

1.2 集積技術

20世紀後半から微細デバイスと回路の進歩により、チップに集積されるトランジスタ数は2年で2倍の速度で増加してきた(ムーアの法則)。また、高速クロックで動作するデジタル回路が主流となった。21世紀になり、漏れ電流による消費電力増加、チップ上の配線の伝搬遅延時間が増加、微細デバイスの製造コストが急激に増加するため、ムーアの法則に沿った進展が飽和している。そこで、集積規模の拡大のために、微細化のみに依存しないマルチチップ技術が種々開発された。現在は、チップに貫通電極を形成して前工程でチップを積層する三次元集積技術が活発に開発されている⁽¹⁾。

1.3 三次元集積

既存の三次元積層はチップをボンディングワイヤで接続する方法である。接続のためにチップサイズを変える必要があり、チップ周辺しか接続できない。そこで、三次元積層したチップ間を垂直方向に接続する技術が注目されている。図1に示すように三次元集積のために積層チップ間の超短距離(1 μm~1 mm)のインタコネクション技術が鍵になる。これを用いると配線長は大幅に短縮され、寄生容量も低減するので、高速化と低電力化が図れる。任意の位置でチップ間を接続できるので、膨大な本数の配線、複雑な接続にも対応できる。三次元集積により、プロセッサとメモリ間のデータバンド幅を上げて、処理能力を向上するというニーズは顕在化しており、データバンド幅100 Gbit/s以上が必要となっている。

2. インタコネクションの種類と特長

接続距離を横軸にして短距離のインタコネクション技術の適用領域を図2に示す。

2.1 電気インタコネクト

(1) RC線路

チップ上の細い配線で長距離を接続する場合はRC線路になり、帯域が制限される。この制限を解決するため、0.4 μmのラインアンドスペースのRC線路で3 Gbit/sの信号を10 mmの距離伝送する回路技術が開発された。消費電力は6 mWである⁽²⁾。

(2) 伝送線路

チップ上配線でギガヘルツ以上の広帯域を得るには伝送線路が必要である。線路設計でインピーダンス整合、伝送損失特性を良くするには1~10 μm程度の断面サイズが必要となり、高密度の集積には向かない。

岩田 穆 正員：フェロー (株)エイアールテック
E-mail iwa@a-r-tec.jp
Atsushi IWATA, Fellow (A-R-Tec Corp., Higashihiroshima-shi, 739-0005 Japan).
電子情報通信学会誌 Vol.94 No.12 pp.1022-1026 2011年12月
©電子情報通信学会 2011

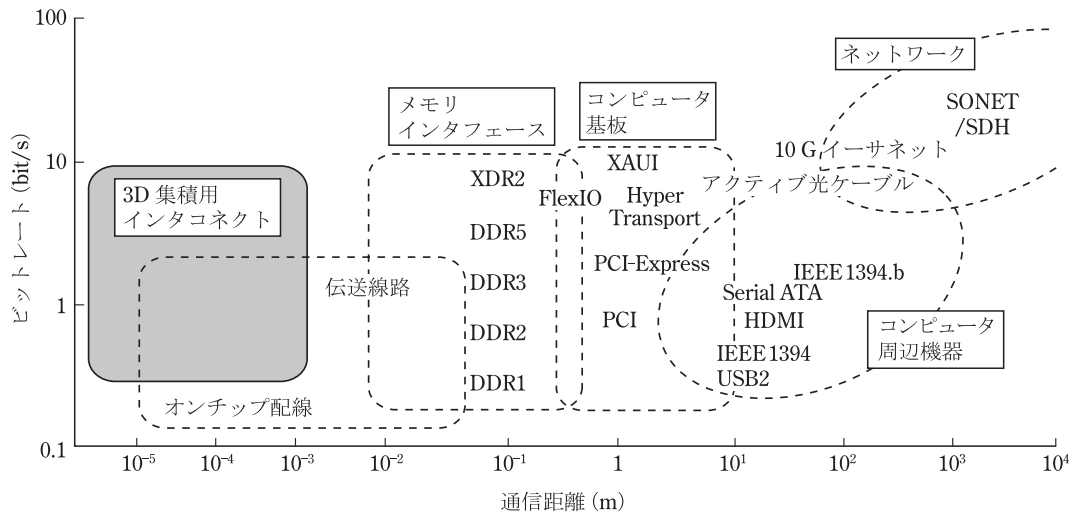


図1 各種インタコネクタ技術のビットレート対通信距離 光通信、インターネット、コンピュータ、デジタル機器において、各種のインタコネクタ技術によって、10 Gbit/sのビットレートが実現されてきた。現在、三次元集積のための超短距離のインタコネクタが注目されている。

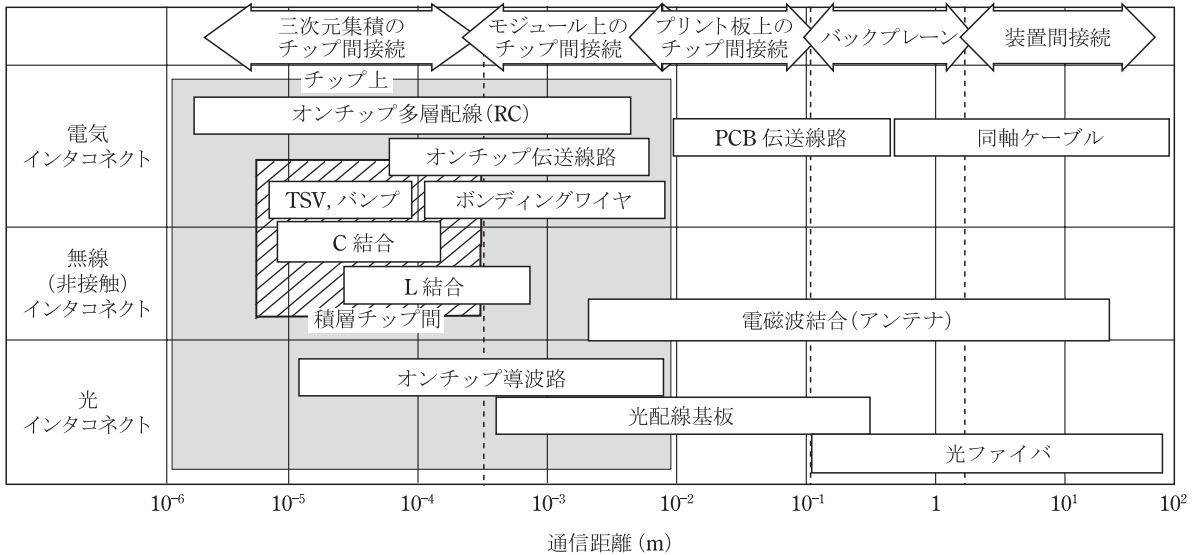


図2 短距離インタコネクタ技術の適用領域 短距離のインタコネクタにはSi貫通ビア(TSV)、静電(C)結合、電磁(L)結合、電磁波結合、光結合があり、それぞれ通信距離に対する適用領域、特長を有している。

(3) Si貫通ビア(TSV)

TSV間をバンプで接続した三次元集積の構造例とその等価回路を図3(a)に示す。TSVは導電性のあるSi基板との間に大きな寄生容量を持ち、これがビットレートを5 Gbit/s程度に制限する。TSVの径と間隔の縮小、アスペクト比の拡大、寄生容量低減が性能を決める。各種のTSV形成とチップ積層の工程があるが、コスト面からはウェーハで積層する方法が本命とされている。

に示す。チップ表面に形成した10~100 μmの小形電極をFace to faceで近接させキャパシタを形成する。このキャパシタ(C)で情報を伝えると、Gbit/sオーダのデータ転送速度が得られる⁽³⁾。実用的な伝送特性を得るには電極間距離は電極サイズの1/10以下(1~10 μmオーダ)にする必要があるので、2チップをFace to faceで積層することは可能であるが、3チップ以上の積層にはTSVとの併用が必要である。また、この方式はチップ間の電位変動が通信に影響するため対策が必要である。

2.2 無線(非接触)インタコネクタ

(1) 静電結合(C結合)

キャパシタによる静電結合の原理的な構造を図3(b)

(2) 電磁結合 (L 結合)

各チップ上の多層配線によるインダクタ (L) 対で形成したマイクロトランスによる通信であり, その原理を図 3(c)に示す. 電磁誘導の法則により一次側電流の微分波形が二次側に誘導電圧として発生する. データ用の送受信回路とクロック用送受信回路を設けた, 同期方式が高速で, 誤り率も低いので, よく使われる⁽⁴⁾. L サイズ

ズの 1/2 の距離で 0.1 の結合係数が得られるので 3 層以上のチップ間を接続できる. L の小形化にはチップの薄層化が必要である. 磁界は広がるので, 隣接して L を配置するとクロストークのため誤動作する可能性がある. L の配置, 駆動のタイミングの工夫によりこのクロストークを抑圧する必要がある. L サイズ 100 μm , L 間の距離 20~50 μm で, データ転送速度 2 Gbit/s が代表的な性能である. 低電力設計では 1 bit 転送のエネルギーは 0.1 pJ が, 高速設計ではビットレート 11 Gbit/s が実証された^{(5), (6)} L 間距離と位置ずれは L サイズの 20% 程度まで許容される.

(3) 電磁波結合

図 3(d)に示すように, 送受信機とアンテナを用いて GHz 以上の変調電磁波を使うので, 1 mm 以上の長距離に適する. 遠方界による電磁波結合でメリットが出る距離は信号帯域 10 GHz の場合 0.5 mm 以上である⁽⁷⁾. また, 近傍界を用いるとより短い距離に使うこともできる. 変調方式には振幅変調, 位相変調, 広帯域パルス伝送も有望である. ガウシアンモノサイクルパルスを用いて, 1~5 GHz 帯域でビットレート 1.16 Gbit/s が確認されている⁽⁸⁾. この方式はアンテナの小形化が必須の課題である.

2.3 光インタコネクション

電気信号を光に変えて伝送して, 受信回路で電気に戻す(図 3(e)). 光は伝送速度が速く, 導波路伝搬ではエネルギーを小断面積に閉じ込めることができ, また, 遮光によりクロストークを抑圧可能である. 現在, 10~100 m の装置間接続, スーパーコンピュータの超高周波クロックの供給, 超広帯域データバスに使われている. 10 cm~1 m のボード間接続, 1~10 cm のボード内チップ間接続のために Ge を用いた光検出器を Si チップに搭載した 10 Gbit/s の 1 チップ光トランシーバも開発された⁽⁹⁾. 将来の光電融合集積では光素子をチップ上に置いて, 電気配線を短くして容量充放電による消費電力を削減できる. 導波路の光伝搬速度は光速/屈折率 (c/n) であり, 230 mm/ns と高速であるので, 受信光から変換された小振幅の電圧を論理振幅に増幅する高速アンプの動作速度と電力消費が支配的になる. 図 3(e)に示すオンチップ垂直キャビティ面発光レーザー (VCSEL) を光源として直接変調するのが理想であるが, 化合物半導体 VCSEL の Si チップへの集積化は当面難しいので, 図 3(f)に示す外部光をチップ内で分岐して, 変調して通信する方法もある. 光導波路には Si 材料による導波路, 有機導波路による光配線板, 曲げと分岐導波路にはミラーやグレーティングが適している. また, フォトニッククリスタルを用いた導波路, 共振器, フィルタなども研究されている.

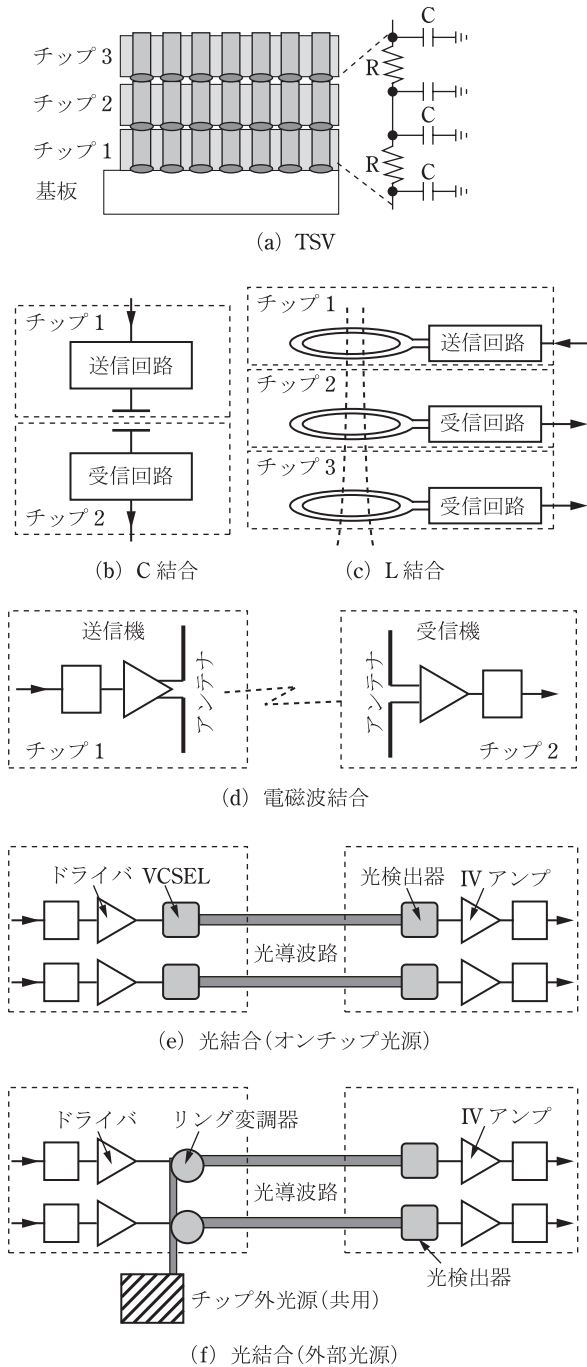


図3 三次元集積用インタコネクション技術の構成 (b), (c), (d)では通常集積回路のデバイスで実現でき, 積層は接着でよいのでコスト的に有利である. (a)では Si 貫通ビア (TSV) 形成と接続の工程, (e), (f)では発光, 受光素子, 導波路などの光部品の製造と集積化の工程が必要である.

