

# COE研究成果の概要

COE拠点リーダー 岩田 穆

広島大学大学院先端物質科学研究科, ナノデバイス・システム研究センター

あらまし 21世紀COEプログラムによる「テラビット情報ナノエレクトロニクス」拠点の研究成果の概要を述べる。2種類の無線インタコネクション技術とそれらを用いた三次元集積の基盤技術を開発した。HiSIM デバイスモデルを開発し、国際標準化活動を継続している、新構造デバイスと微細化基盤技術、光インタコネクション基盤技術、量子ドット浮遊ゲートデバイス技術の基盤技術を構築した。また、世界の大学の重要国際会議への発表件数による研究成果のベンチマークについて述べる。

## 1. COEの研究目標

COEの研究目標を図1に示す。テラビット情報処理は、情報処理能力と情報転送能力ともにテラビットの性能(Tops, Tbps)を持つものと定義している。処理能力実現のためにマルチチップが必要であり、複数のチップ間のインタコネクト技術が鍵となる。新しい無線技術によるインタコネクションを開発し、三次元集積を導入する。この三次元集積を用いて人間より高速なオブジェクト認識システムを実現する基盤技術を構築する。テラビット性能の高速・高周波回路設計のためにHiSIMモデルを開発、適用する。テラビット性能の高速・高周波動作を実現するために、新構造のデバイス・微細化技術を研究開発する。

図2に目標達成のための年次研究・開発スケジュールを示す。無線インタコネクトと基盤回路技術の実

証のためのプロトタイプの実作には既存のCMOS技術を用いて進める。テラビット性能の実現のためのデバイス・プロセス技術は要素技術、基盤技術として進め、将来の実用レベルでの性能予測を行う。

1. テラビット情報処理三次元集積システム(3DCSS)の基盤技術  
2種の無線方式によるテラビット・チップ間通信の実現  
3D通信プロトタイプでTbit通信性能を実証
2. 3DCSSを応用した高度な学習・認識システム基盤技術  
人間より高速なマルチオブジェクト認識システムの基盤技術  
試作チップを用いたプロトタイプでTbit情報処理の原理を実証
3. HiSIMモデル: 国際貢献と回路・デバイス融合技術の進展
4. 微細デバイス技術: Tbit情報処理実現の基盤技術

### テラビット情報(処理)の定義

Tops情報処理能力/Tbps情報転送レートを実現し、  
人間より高速な視認機能を実現する

情報処理能力 Tops= 1Gops x 1000 Proc. ~ 10Gops x 100 Proc.  
情報転送能力 Tbps= 1Gbps x 100Chx 10chip ~ 5Gbps x 20Ch x 10chip

図1 COEの研究目標



図2 目標達成のための年次研究・開発スケジュール

## 2. 研究成果-1 無線インタコネクと三次元集積

2種の無線インタコネク技術, ①オンチップアンテナによる電磁波結合による GWI(Global Wireless Interconnection), ②インダクタ間の磁気結合による LWI(Local Wireless Interconnection)を提案し, この両者を併用したアーキテクチャを提案した。

### 2.1 GWI (吉川グループ)

オンチップアンテナを用いて, 20GHz 帯域のパルス電磁波のSi基板を通した伝搬特性を実測した。図3に示すように, 信号減衰率のSi 基板抵抗率依存性は- 4.9 dB/mm ( $\rho = 10 \Omega \cdot \text{cm}$ ), - 0.4 dB/mm ( $\rho = 2.29 \text{ k}\Omega \cdot \text{cm}$ )であり, 基板の高抵抗化により, 減衰量が減ることが分かった。<sup>[1]</sup> UWB 通信のためのガウシアンモノサイクルパルス波形が正確に伝送できることも確認した。<sup>[2]</sup>

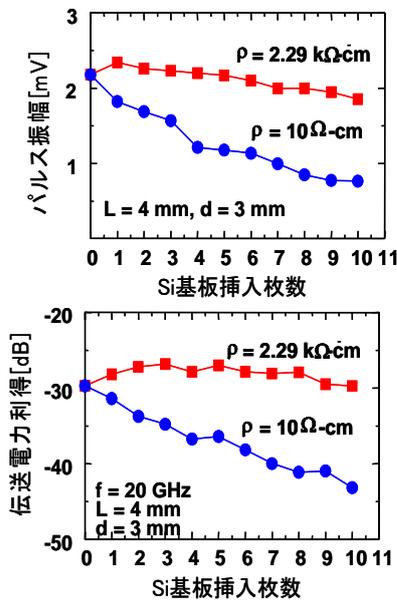


図3 シリコン中の電磁波伝搬特性

0.18umCMOS 技術を用いて, UWB の送受信回路を設計, 試作した。送信回路のブロック図を図4に示す。

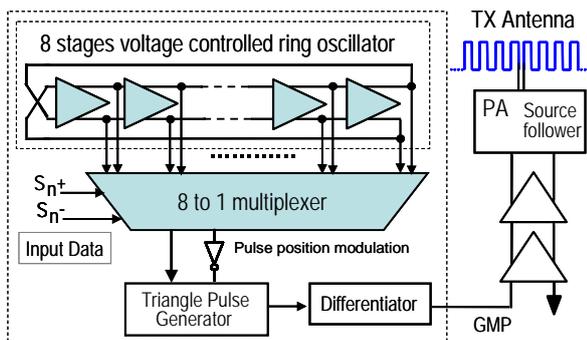


図4 UWB 送信回路ブロック図

パルス幅 280 ps, 中心周波数 3.6 GHz の GMP パルスを 0.18um CMOS による送信回路で実現した。シリコン上のダイポールアンテナで 1mm の距離を伝搬させ, 受信アンテナで, GMP パルス波形が受信でき, 1.16Gbps のデータレートが得られることを確認した。

送受信器は 100x300um の面積で 1Gbps のデータレートを約 10mW の消費電力で実現した。<sup>[3]</sup> これらはデバイスの微細化による周波数の向上により, データレートの向上, アンテナの小型化が図れる。

### 2.2 LWI(岩田グループ)

LWI は図5に示すように, オンチップインダクタの磁気結合でパルス情報を送る方式であり, 多数のインダクタを用いて, 並列に情報を通信できる。0.18umCMOS 技術でテストチップを試作した。オンチップインダクタと送受信回路のチップレイアウトを図6に示す。<sup>[4]</sup> 送受信のパルス波形を図7に示す。実験により, LWI では 100umx100um の面積で, 1Gbps のデータレートが 1mW の消費電力で実現されている。ビット誤り率も  $10^{-12}$  以下であること確認した。インダクタの位置ずれは図8に示すように, サイズの 40%程度許容されることがわかった。

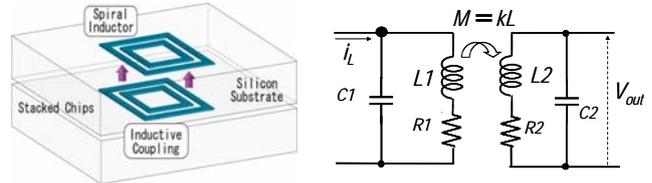


図5 オンチップインダクタと通信原理回路図

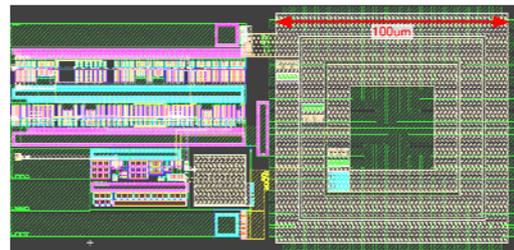


図6 送受信回路とオンチップインダクタのレイアウト例



図7 LWI 伝送特性実測結果

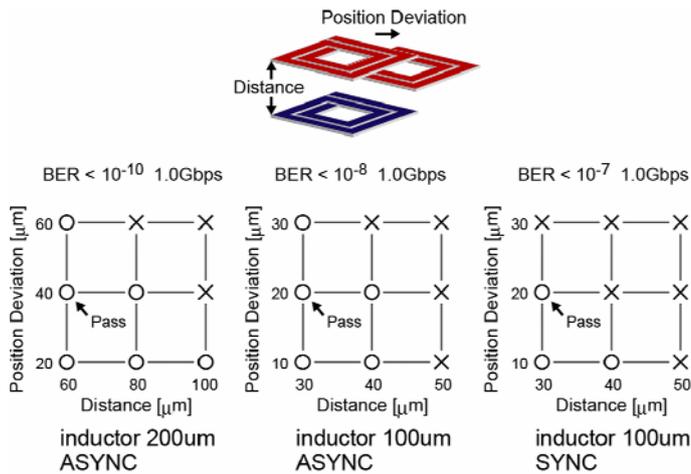


図8 インダクタの位置ずれと許容量の実測

### 2.3 三次元集積(岩田, 吉川グループ)

GWIとLWIを用いた三次元集積技術を「三次元カスタム・スタックシステム 3DCSS」と名づけた. その概念図を図9に示す, GWIは非隣接を含めたチップ間の情報転送, LWIは隣接チップ間のローカルデータの並列転送に用いる. [5] 3DCSSを利点に列記する.

- チップ間の位置合わせ精度が低くてよい.
- チップ間情報通信速度を向上できる.
- 異種材料の集積化も容易にでき,
- デジタル・アナログ・センサー機能を集積できる
- 良品チップ選択(Known Good Die: KDG)が容易.
- 放熱機能をチップ簡易組み込みやすい.

3DCSSのプロタイプシステムを設計試作した. 要素チップの例として, アナログ画像処理チップのブロック図を図10に, プロタイプの写真を図11に示す. 電源の配線にはFPCを用いている. 図12に実画像による動作試験を示す. 雑音はLWI受信感度の不均一性によっている.

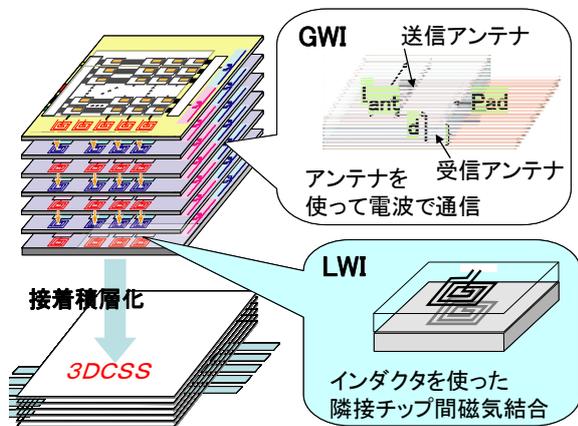


図9 3DCSS概念図

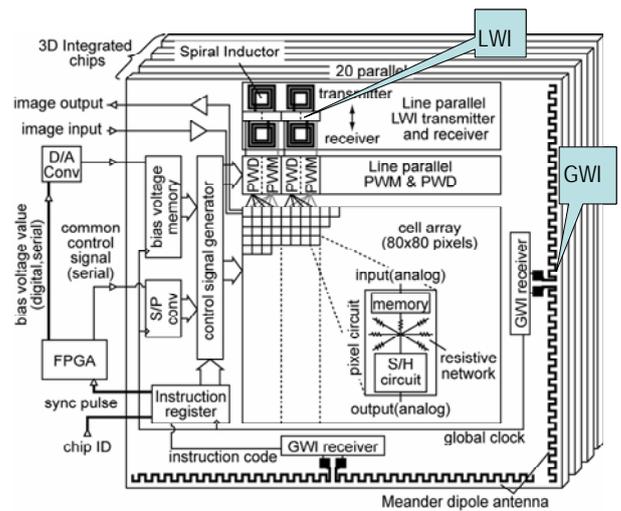


図10 3DCSS要素チップブロック図(VP3D)

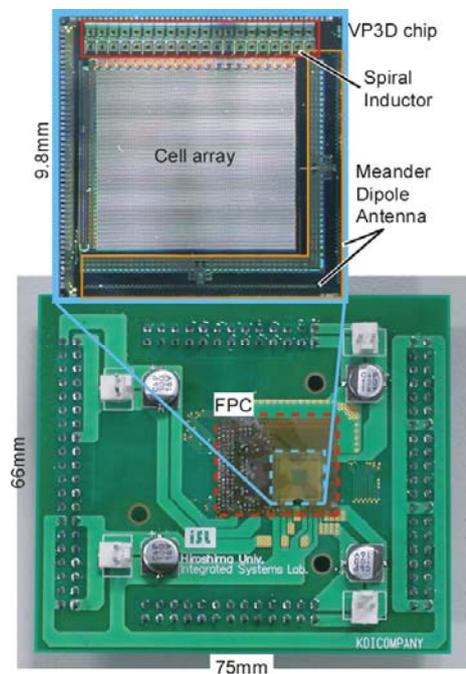


図11 3DCSSプロタイプシステム

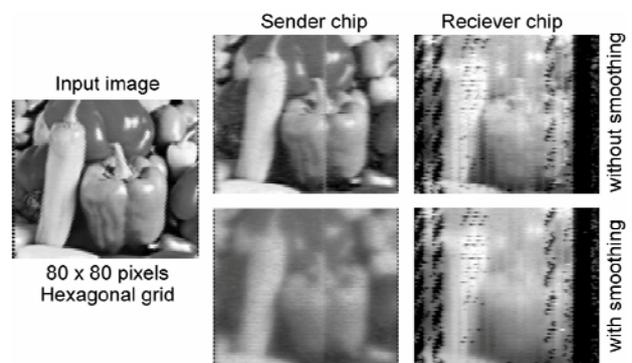


図12 3DCSSプロタイプによる画像データ処理例

### 3. 研究成果-2 デバイスマデリング技術(三浦グループ)

MOS トランジスタの回路モデルは、高速スイッチング動作、低電力動作、高周波アナログ回路、高精度アナログ回路を設計するのに不可欠である。現在、BiSIM モデルが世界標準になっているが、400 個以上の多数のパラメータを使って、物理現象を数学的に近似している。デバイスの極限的な微細化に向けて、BiSIM では物理原理から離れる傾向にあり、精度が不十分、計算の収束性が悪い、パラメータフィッティングが難しいという問題を持っている。

そこで、三浦教授は新しいモデル HiSIM (Hiroshima University STARC IGFET Model)を開発した。これは拡散やドリフトなどの物理現象にもとづく表面ポテンシャルを用いて、精密な解を求めてモデル化することを特徴としている。<sup>[6]</sup>



- (1) 計算時間が短い
- (2) 表面ポテンシャル(モデルの核)が正確
- (3) モデルパラメータのスケールリングが可能
- (4) 技術の変化に対応
- (5) ノイズ特性の予測が可能
- (6) RF回路シミュレーションが容易
- (7) Multi-Gate MOSFETへの拡張が容易

HiSIM: Hiroshima University STARC IGFET

図 13 HiSIM の役割と特徴

### 標準化活動

2005 年に広島大学に HiSIM 研究センターを作って、STARC を始めとする産業界と協力して、HiSIM の世界標準化活動を展開した。論理回路を対象とする CMC での投票で、基本 MOS デバイスのモデルでは僅差で2位となったが、技術的な優位性が実証されつつあるのでそれを一層伸ばし、アナログ回路や高周波回路への応用、SOI デバイス用モデルの標準化に向けた活動を続けている。<sup>[7]</sup>

10GHz 帯での高速動作における時間軸の精度向上、歪み、雑音などのRF帯アナログ特性の向上を達成した。図 15 に HiSIM モデルの精度を示す。

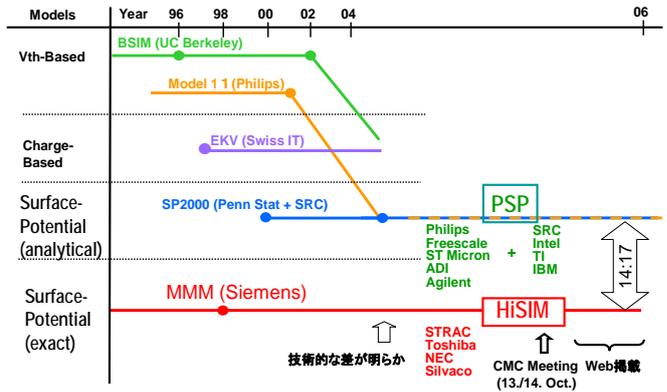


図 14 HiSIM の国際標準化の経緯

### (2) 表面ポテンシャル(モデルの核)が正確

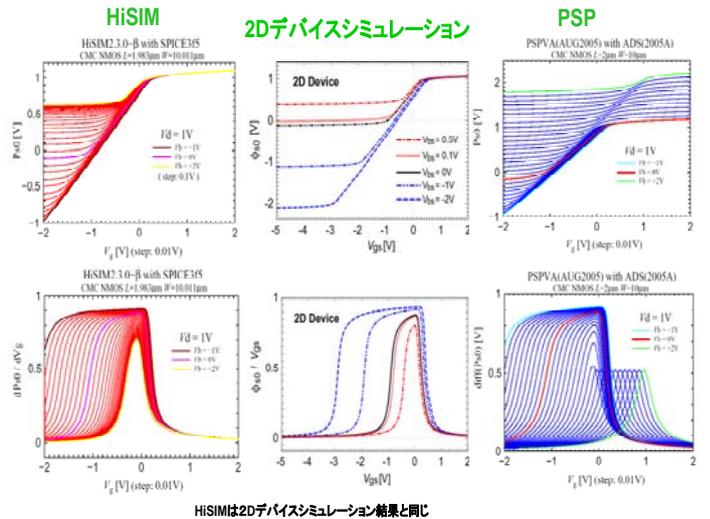


図 15 HiSIM の高精度性

ラテラル Pin 型光検出器のモデル(HiSIM-PD)を開発した。時間応答特性の高精度を確認し、また、回路シミュレータインタフェースも開発し、光電融合システムのシミュレーションを可能にした。<sup>[8]</sup>

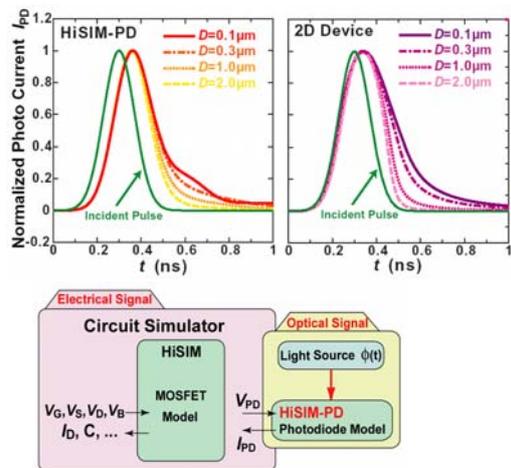


図 16 HiSIM-PD モデルの特性と回路シミュレータ組み込み

#### 4. 研究成果-3 アーキテクチャと回路技術

##### 4.1 機能メモリベース画像処理のアーキテクチャおよびチップ開発(マタウシュグループ)

チップ内テラビット処理(～1Tbit/sec)による画像処理の研究・開発を行った。その目標を図17に示す。内容は以下の通りである。

- ・リアルタイム画像分割アーキテクチャを開発した。
- ・全並列最小距離検索連想メモリによるオブジェクトマッチング処理技術を開発した。

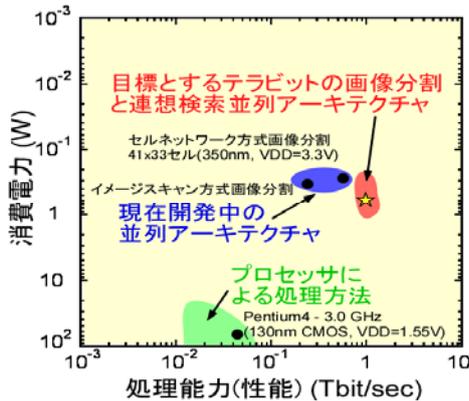


図17 目標とするテラビットの画像処理性能

- ・連想検索ベース複数物体追跡アーキテクチャを開発した。その概略を図18に示す。その特徴は
- ・画像分割により静止体、動体を同時に抽出可能
- ・剛体のみでなく、非剛体、物体が重なる場合(オクルージョン)も追跡が可能
- ・同時に複数の物体のリアルタイム追跡が可能
- ・物体特徴量と最小距離検索を用いているため、画像認識への応用が可能である。

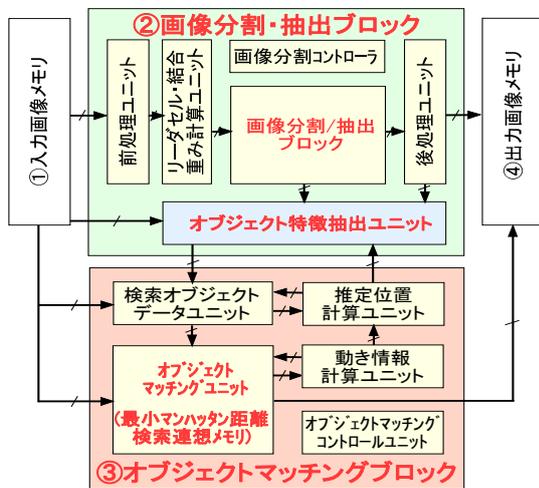


図18 物体追跡アーキテクチャブロック図

FPGAを用いたプロトタイプの写真を図19に示す。<sup>[9]</sup>



図19 リアルタイム複数動物体追跡プロトタイプシステム

- ・ユークリッド距離検索機能を有する連想メモリを開発した。<sup>[10]</sup>

アナログ方式によるユークリッド距離演算回路を考案して、並列演算による高速検索を実現した。図20に90nmCMOSによるテストチップ写真を示し、表1にチップの諸元を示す。

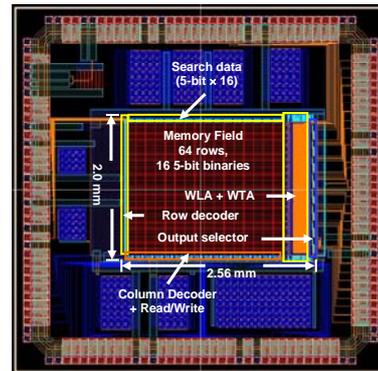


図20 ユークリッド距離検索機能を有する連想メモリチップ

表1 ユークリッド距離検索機能を有する連想メモリの諸元

Reference Patterns	64 Patterns (16 binaries each 5-bit long)
Design Area	5.12 mm <sup>2</sup> (2.56mm x 2mm)
Nearest Match Times (simulation)	< 140 nsec
Power Dissipation (simulation)	< 220 mW
Chip size	4.9 mm x 4.9 mm

#### 4.2 アナログ回路低雑音の増幅器, AD 変換器, 高周波のRF回路などの要素回路 (岩田グループ)

低雑音動作CMOS低雑音アンプの設計技術の研究グラデッドスイッチによるチョッパ回路, オートゼロ回路の考案により 1V 電源動作・50nV 低雑音特性, を実現した. 低雑音動作チョッパアンプの回路を, 図 21 に, 出力スペクトラム実測値を図 22 に示す. [11]

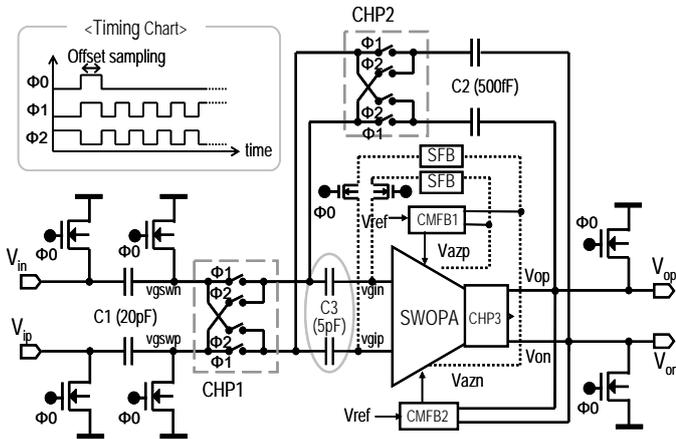


図 21 低電圧動作チョッパアンプ

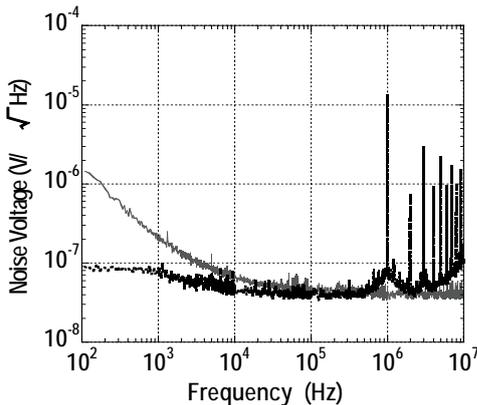


図 22 低電圧動作チョッパアンプの雑音特性

#### 4.3 インダクタ負荷, インダクタ結合の定在波発振器を用いた高性能のクロック発生・分配システム(佐々木グループ)

オンチップの伝送線路を用いた定在波発振器でメッシュ構成を作ると, 位相のそろった 10GHz 以上の高周波クロックをチップ全面で得られるが, 線路長が周波数によって制約される. そこで, インダクタ負荷で, メッシュの距離と発振周波数を独立にする構成を考案した. [12] インダクタ負荷定在波とインダクタンス負荷, 結合定在波発振器, さらに, 伝送線路の終端インダクタを結合させて 2 次元メッシュ型発振器を図 23, 24 に示す構成を考案した. 0.18umCMOS 技術で

12GHz 動作のテストチップを設計・試作し, 電源電圧 0.9V, 消費電力 80mW で, 発振周波数 11.5GHz, 振幅 0.6V 発振を得た. ピーク・ピークジッタ 4.7ps の高性能を得た. [13]

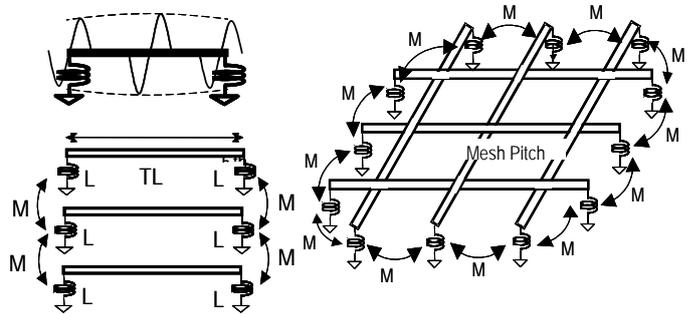


図 23 インダクタ負荷・結合定在波発振器

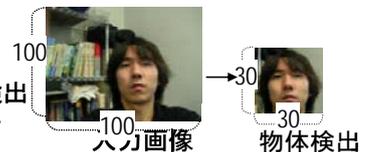
図 24 インダクタ結合メッシュ型定在波発振器

#### 4.4 脳型処理のアルゴリズムの研究

高度認識・学習機能の要素技術として, 図 25 に示すマルチオブジェクト認識アルゴリズムを開発した. 主成分分析による情報圧縮, 固有顔データによるマルチオブジェクト対応を可能にした. 各処理ブロックを体系化し, それぞれをチップ化することにより, 三次元集積で実現することを可能にした.

##### 初期視覚・物体抽出ブロック

入力画像から物体を検出  
位置情報と画像情報を  
次ブロックに転送



##### 部位抽出ブロック

主成分分析により, 物体領域から,  
認識に必要となる特情報を有する  
領域 (例として顔) を検出し,  
位置情報と固有空間情報を転送



##### 認識ブロック

固有空間情報の比較をDB  
との間で行い, 物体を認識



##### DBメモリ



図 25 マルチオブジェクト認識アルゴリズム

## 5. 研究成果-4 新構造デバイス・微細化基盤技術

デバイス・プロセス技術の研究内容を図 26 に示す。また、新構造デバイス・微細化研究テーマの位置づけを図 27 に示す。

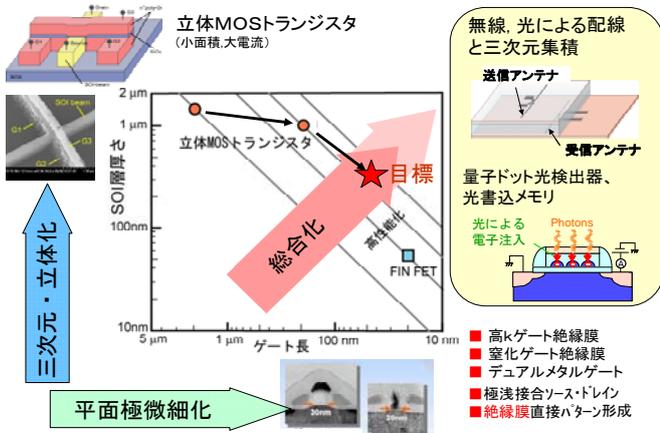


図 26 デバイス・プロセス技術の研究内容と総合化

### (1) 集積デバイス基盤技術



図 27 新構造デバイス・微細化研究テーマの位置づけ

## 5.1 微細化デバイス基盤技術(芝原グループ)

### (1) 部分熔融レーザーアニール(PMLA)法の提案

極浅低抵抗接合形成に適した新しいレーザーアニール法、部分熔融レーザーアニール法(Partial Melt Laser Anneal)を提案した。低温固相成長を組み合わせることで、Siの極く浅い表面付近のみを熔融させることが特徴である。図 28 に概念を、図 29 に他の研究とのベンチマークを示す。接合深さ 10nm で

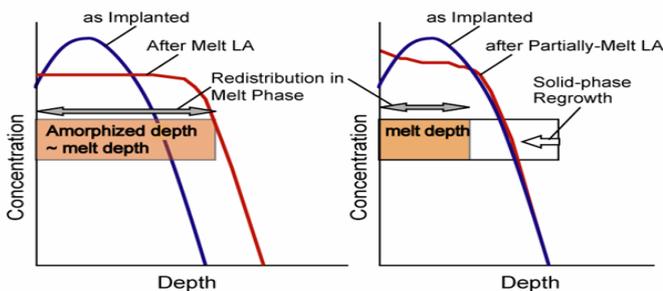


図 28 PMLA 法による浅接合形成

700Ωcm の低シート抵抗を実現できた。<sup>[14]</sup>

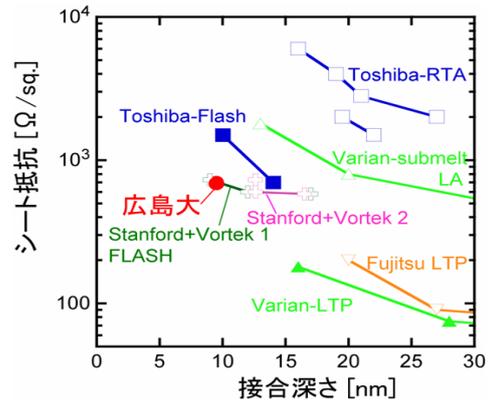


図 29 浅接合形成技術のベンチマーク

### (2) Mo ゲート仕事関数変調

Mo 上に堆積させた TiN から N を固相拡散させ Mo の仕事関数変調させる手法を初めてデバイスに適用し、仕事関数変調が界面にパイルアップした N によることを明らかにした。電気陰性度差に基づく双極子形成モデルを提案した。しかし、N のパイルアップがデバイス製作時の熱処理中に減少する問題を発見し、それを解決するためのプロセス・デバイス構造を提案した。<sup>[15]</sup>

### (3) 新しいメタルゲート材料 Pd<sub>2</sub>Si の研究

次世代の MOS デバイスへの採用が期待されているフルシリサイドゲート構造(現在のポリシコンをシリサイドで置き換える構造)のための新しい材料を研究した。Pd<sub>2</sub>Si は従来の NiSi に比べ、低温で形成可能であり、且つ低ストレスという特長を有す。

良質の Pd<sub>2</sub>Si 膜を得るためには、シリサイド化時の Si の拡散を抑えることが重要であることを解明した。

不純物導入による従来の NiSi と同程度の仕事関数変調が可能であることを実証した。<sup>[16]</sup>

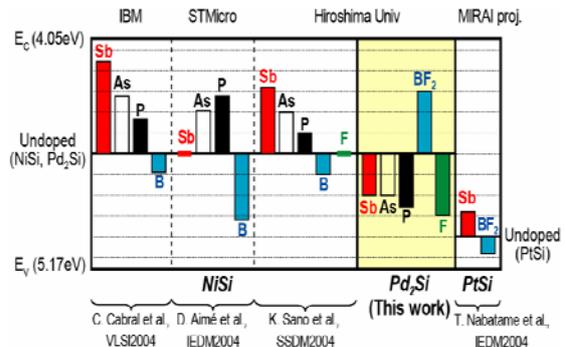


図 30 メタルゲート材料 Pd<sub>2</sub>Si の仕事関数制御

## 5.2 High-k 絶縁膜形成および信頼性評価 (中島グループ)

ALDによる微細MOSのための高信頼性ゲート絶縁膜の形成法の研究を行った

- 将来の微細化DRAMのためのSi-nitride/SiO<sub>2</sub> スタックゲート絶縁膜
- 微細MOSにおける、SiONゲート絶縁膜の信頼性

極薄ゲート絶縁膜のシリコン界面トラップ密度の測定・評価技術を確認した。プラズマ窒化酸化膜ゲート絶縁膜を用いたpMOSのダイナミック電圧ストレス下における界面トラップ生成量を図31に示す。<sup>[17]</sup>

10<sup>4</sup> Hz以上の周波数領域において、周波数の増加に伴う界面トラップの急激な増加が観測された。界面トラップ生成量に対するバイポーラパルス電圧ストレスの立ち上がり・立ち下り時間依存性を測定して、界面トラップ生成量は、立ち下り時間にも依存することを明らかにした。ALDシリコン窒化膜のライフタイムを評価し、図32に示すように、シリコン絶縁膜と同程度であることを確認した。<sup>[18]</sup>

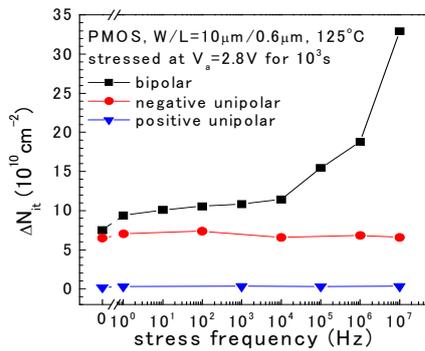


図31 界面トラップ生成量のストレス周波数依存性

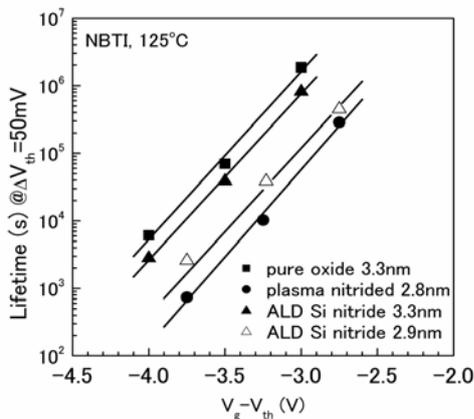


図32 ライフタイムのオーバドライブ電圧依存性 (ΔV<sub>th</sub>=50mV)

## 5.3 三次元ビームチャネルトランジスタ(角南グループ)

ビーム型チャネルにより小面積の電力制御デバイスの実現、トライゲート構造による特性向上、バラツキ制御などを目的にBCTの構造、製造プロセス、特性を研究した。基本構造を図33に示す。試作したトライゲートBCTのSEM写真を図34に示す。BCT用プロセス技術として①アスペクト比50以上のビーム形成(シリコン110方位)、②選択的酸化膜コーティング技術、③高いビームに均一の不純物ドーピングするための予備プラズマドーピング技術、④高いビームに対するソース、ドレイン形成のためのNiシリサイド形成技術を確認した。<sup>[19]</sup>

試作BCTの実測特性を図35に示す。独立ゲートにより実現される三つの動作モードを確認できた。

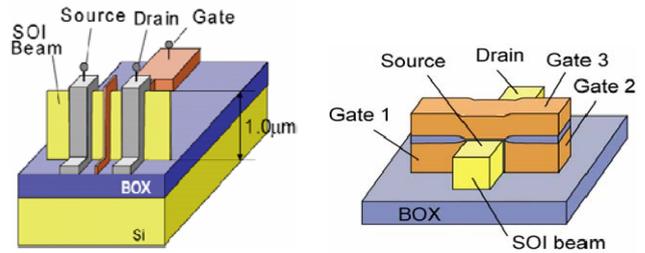


図33 BCTの構造(左:1.0μm高ビーム,右:トライゲート)

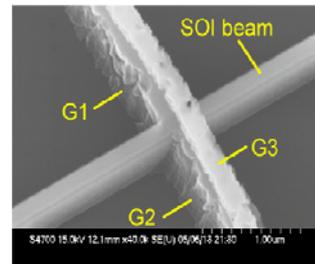


図34 トライゲートBCTのSEM写真

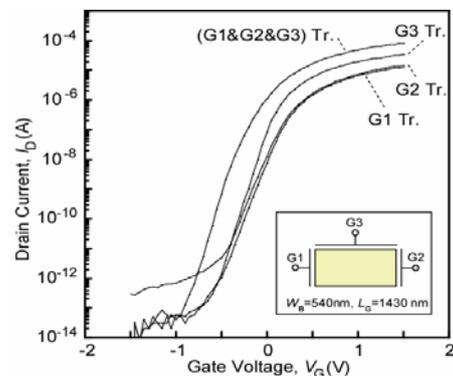


図35 トライゲートBCTのドレイン電流—ゲート電圧特性

## 6. 研究成果-5 光電融合デバイス (横山グループ)

三次元集積のための情報転送手段として、無線方式と融合することを目指して、光インタコネクションについても研究した。その概念図を図 36 に示す。外部光を分配して、リングレゾネータによる光スイッチ、 $\text{Si}_3\text{N}_4$  光導波路、光検出器により、光インタコネクションの集積化を実現する。<sup>[20]</sup> リングレゾネータの解析により、超高速スイッチングの可能性を明らかにした。

図 37 に示すように、マッハツェンダー干渉計による変調器の集積化と動作に初めて成功した。<sup>[21]</sup> また、図 38 に示すように電気光学効果材料および磁気効果材料を用いたリング変調器の集積化に成功した。

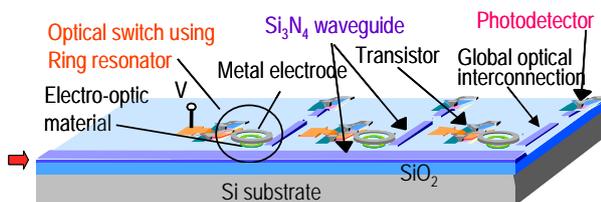


図 36 光インタコネクト集積回路の概念図

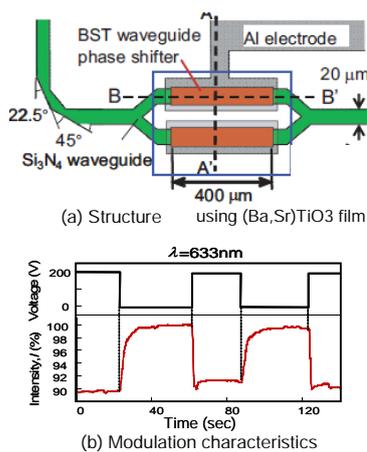


図 37 集積化マッハツェンダー型光変調器の試作と動作に成功

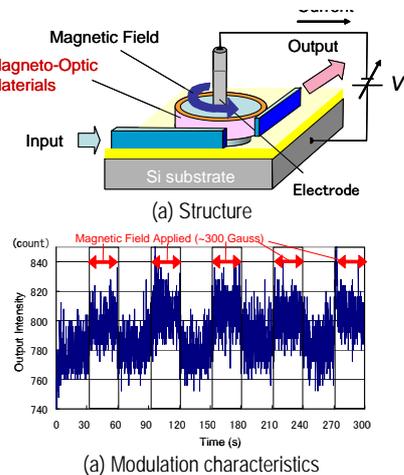


図 38 MO 材料によるリングレゾネータ型光スイッチ

## 7. 研究成果-6 量子ドットを有する浮遊ゲート機能デバイス (宮崎グループ)

浮遊ゲート部に導入した多層量子ドットへの電子の注入および帯電状態の観測と挙動の解明、多値不揮発メモリへの応用の基礎技術を確認した。

- シリコン量子ドットのサイズ制御性技術および多層形成技術を確認した。

- ケルビンAFMによるドットの電子状態の観測技術を確認した。<sup>[22]</sup>

- 光応答による電子状態変化とスイッチ・メモリ動作を測定して、光入力デバイスの可能性を示した。

- 多層量子ドット浮遊ゲートデバイスの充電状態による電圧電流特性を図 39 に示すように測定し、多値メモリに適用できる可能性を示した。

- 電子注入および放出による電圧電流特性の過渡特性評価と図 40 に示すように充電のメタテーブル状態の存在を明確化した。<sup>[23,24]</sup>

将来、この技術は超高感度光センサー(小数フォンの検出と小数電子の輸送)、光入力多値メモリ、スイッチの室温動作の実現を目指す。

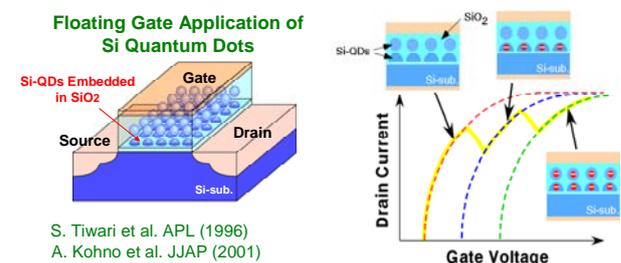


図 39 量子ドットを有する浮遊ゲートデバイスとドット充電状態による電圧電流特性

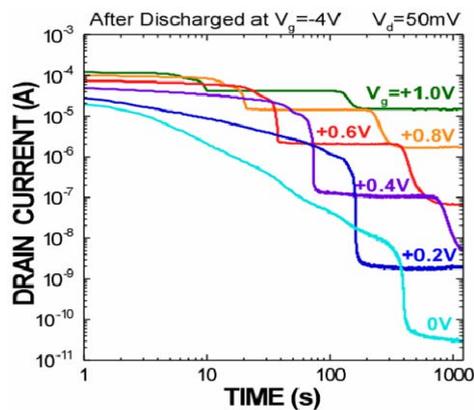


図 40 2層スタック量子ドット浮遊ゲートデバイスにおける充電状態による過渡的電圧電流特性

## 8. 重要国際会議発表ランキング

ISSCC, IEDM, VLSI サークットシンポジウム, VLSI テクノロジーシンポジウムにおける発表件数の大学ランキングを表 2~5 に示す. COE 実施期間の 2003-2007 年において, ISSCC:世界で 25 位, 日本で 3 位, IEDM:世界 14 位, 日本で 3 位, VLSI サークット世界 7 位, 日本で 2 位, VLSI テクノロジー:世界 7 位, 日本で 2 位である. これ以外の会議を含めた回路・システムからデバイス・プロセスまでをカバーした総合的評価によると世界で 6 位, 日本で 2 位である.

表2 Symposium on VLSI Circuitsにみる大学発表件数ランキング

研究機関	2003-2006						合計	順位
	2001年	2002年	2003年	2004年	2005年	2006年		
UC. Los Angeles	3	3	3	5	3	4	15	1
Stanford Univ.	5	3	5	6	1	2	14	2
東京大	0	5	2	5	4	3	14	2
National Taiwan Univ.	0	1	3	0	5	5	13	4
U.C. Berkeley	0	0	0	2	1	8	11	5
KAIST	4	2	2	2	4	2	10	6
広島大(COE)	1	1	1	2	4	2	9	7
Oregon State University	0	0	0	0	0	9	9	7
Columbia Univ. (USA)	1	0	0	1	4	2	7	9
MIT	2	2	1	1	2	2	6	10
Hong Kong Univ. Science + Techn.	1	2	1	1	2	2	6	10
Purdue Univ.	0	1	2	4	0	0	6	10
慶応大	0	0	0	2	1	3	6	10
National Chiao-Tung Univ.	1	1	2	1	0	2	5	14
東北大	0	2	1	1	2	0	4	15
Michigan Univ.	0	0	0	1	2	1	4	15
University of Florida	0	0	0	0	1	3	4	15

表4 IEDMにみる大学発表件数ランキング

研究機関	2003-2006						合計	順位
	2001年	2002年	2003年	2004年	2005年	2006年		
National Univ. of Singapore	3	0	7	7	10	9	33	1
Stanford Univ.	7	8	7	6	11	7	31	2
Univ. Texas	4	7	8	9	6	3	26	3
National Chiao-Tung Univ.	5	3	5	6	11	3	25	4
Purdue Univ.	1	2	3	4	7	5	19	5
MIT	5	5	3	4	5	6	18	6
U.C. Berkeley	2	5	6	4	3	3	16	7
Seoul National Univ.	2	2	5	4	5	2	16	7
東京大	2	2	4	3	4	4	15	9
U.C. Santa Barbara	1	3	3	1	5	1	10	10
Hong Kong Univ. Science	3	2	0	4	3	1	8	11
North Carolina State Univ.	2	3	2	2	2	1	7	12
東北大	2	0	3	0	3	1	7	12
広島大(COE)	1	1	1	1	2	1	5	13
Cornell Univ.	1	1	2	1	0	1	4	14
名古屋工大	1	0	1	2	1	0	4	14
Princeton Univ.	2	2	1	1	1	0	3	16
大阪大	1	3	0	1	1	1	3	16
東工大	1	1	1	1	2	0	3	16

表5 ISSCCにみる大学発表件数ランキング

発表機関	2003-2007							合計	順位
	2001年	2002年	2003年	2004年	2005年	2006年	2007年		
National Taiwan Univ.	0	0	2	3	9	9	13	36	1
UC. Los Angeles	9	2	8	6	7	7	6	34	2
KAIST (Korea)	2	3	8	5	4	4	10	31	3
Stanford Univ.	6	3	7	6	4	3	7	27	4
MIT (USA)	4	5	3	2	7	4	10	26	5
Michigan Univ.	0	2	2	3	4	4	5	18	6
U.C. Berkeley	1	1	2	6	1	6	2	17	7
東京大	1	1	5	4	2	3	3	17	7
ETH Zurich (Swiss)	3	4	3	4	1	3	4	15	9
Columbia Univ. (USA)	2	2	1	0	5	5	3	14	10
TU Delft (Netherlands)	1	3	2	1	4	3	2	12	11
Univ. of Toronto (Canada)	2	2	3	1	5	2	1	12	11
K. U. Leuven	5	1	1	3	1	3	3	11	13
California Inst. of Techn.	1	1	1	2	2	4	1	10	14
National Chiao-Tung Univ.	0	0	1	2	2	4	1	10	14
Seoul National Univ.	0	1	1	3	3	2	1	10	14
UC San Diego (USA)	0	0	0	0	2	6	2	10	14
University of Pavia (Italy)	0	0	0	0	2	3	3	8	18
Chung-Cheng University (Taiwan)	0	0	0	0	2	2	3	7	19
TU Munich (Germany)	1	1	2	0	1	2	2	7	19
University of Washington, Seattle	0				3	2	2	7	19
慶応大	0	0	1	1	1	2	2	7	19
Georgia Inst. of Techn.	2	1	2	1	0	1	2	6	23
Hong Kong Univ. Science + Techn.	2	2	2	0	2	2	0	6	23
広島大(COE)	1	0	0	1	2	0	2	5	25
Arizona State University	0	0	0	0	0	2	3	5	25
Cornell University (USA)	0	0	0	0	2	3	0	5	25
University of Texas	0	0	0	0	2	3	0	5	25
University of Twente (Netherlands)	0	0	0	0	1	2	2	5	25
東北大	1	1	1	0	1	1	1	4	30

## 9. まとめ

21世紀 COE「テラビット情報ナノエレクトロニクス」の研究成果の概要を述べた. 2種類の無線インタコネクション技術とそれらを用いた三次元集積の基盤技術を開発した. HISIM デバイスモデルの開発と国際標準化活動を継続している, 新構造デバイスと微細化基盤技術の開発, 光インタコネクション基盤技術, 量子ドット浮遊ゲートデバイスの基盤技術を構築した.

表3 Symposium on VLSI Technologyにみる大学の発表件数ランキング

研究機関	2003-2006						合計	順位
	2001年	2002年	2003年	2004年	2005年	2006年		
National Univ. of Singapore	0	1	5	3	6	3	17	1
University of Texas, Austin	5	8	6	5	5	0	16	2
National Chiao-Tung Univ.(Taiwan)	1	1	4	2	7	2	15	3
K. U. Leuven	0	1	0	3	6	1	10	4
東京大	0	1	1	1	5	1	8	5
National Tsing-Hua Univ. (Taiwan)	0	0	2	0	1	3	6	6
Stanford Univ.	2	1	0	0	2	1	3	7
広島大(COE)	1	0	0	1	2	0	3	7
Seoul National Univ.	0	1	1	0	2	0	3	7
筑波大	0	0	0	1	1	1	3	7
North Carolina State University	1	0	0	1	0	1	2	11
Univ. of Florida (USA)	0	0	1	0	1	0	2	11
U.C. Berkeley	3	1	0	0	0	1	1	12
UC. Los Angeles	2	0	0	1	0	0	1	12
東北大	1	1	0	0	0	1	1	12
東工大	1	0	0	1	0	0	1	12
MIT	0	1	1	0	0	0	1	12
Yale Univ. (USA)	1	0	0	0	0	1	1	12
早稲田	0	0	0	1	0	0	1	12
University of Texas, Dallas	0	0	0	1	0	0	1	12

## 文 献

- [1] T. Kikkawa, et. al., Electron Device Letters., IEEE, Vol. 26, Issue 10, pp. 767 – 769, 2005.
- [2] K. Kimoto and T. Kikkawa, J. J. of Applied Physics Vol. 44, No. 4B, 2005, pp.2756–2760
- [3] P. K. Saha, N. Sasaki and T. Kikkawa, Symp. on VLSI Circuits, pp. 252–253, 2005.
- [4] M. Sasaki and A. Iwata, , IEEE 2005 Symp. on VLSI Circuits, pp. 348–351, 2005.
- [5] A. Iwata, et. al., ISSCC Digest of Technical Papers, pp. 262–263, Feb 6–10, 2005
- [6] M. Miura–Mattausch, et. al., Modeling and Simulation of Microsystems 05, pp.69–74, 2005.
- [7] Compact Model Council URL, <http://www.eigroup.org/cmc/>
- [8] T. Ezaki, M. Miura–Mattausch, K. Konno, et al., Tech. Digest IEDM, pp. 184–187, 2006.
- [9] T. Morimoto, H. Adachi, K. Yamaoka, K. Awane, T. Koide, and H.J. Mattausch, 2006 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2006), pp. 946–949, 2006.
- [10] Md. A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide and H. J. Mattausch, Proc. of the IEEE Asia Pacific Conference on Circuits and Systems, pp.1311–1314, 2006.
- [11] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki, and A. Iwata, Symp. on VLSI circuits, pp.118–121, 2005.
- [12] M. Sasaki, M. Shiozaki, A. Mori, A. Iwata and H. Ikeda, Symp.on VLSI Circuits, pp. 124–125, 2006.
- [13] M. Sasaki, M. Shiozaki, A. Mori, A. Iwata and H. Ikeda, ISSCC Digest of Technical Papers, pp.180–181, 2007
- [14] K. Shibahara, Ext. Abst. IWJT, pp. 53–54. 2005, Invited. Shallow J
- [15] K. Shibahara, et. al., IEEE Trans. Electron Devices, 53, pp.1059–1064, 2006. Shallow
- [16] K. Shibahara, Proc. Int. Symp.on VLSI Tech., Sys. and Applications., pp. 50–51. 2006,
- [17] Shiyang Zhu, Anri Nakajima, Takuo Ohashi, and Hideharu Miyake, IEEE ElectronDevice Lett. Vol. 26, No. 9, pp. 658–660, Sept. 2005.
- [18] A.Nakajima, T. Ohashi, S. Zhu, S.Yokoyama, S. Michimata, and H. Miyake, IEEE Electron Device. Lett. Vol. 26, No. 8, pp.538–540, 2005.
- [19] K. Okuyama, Yoshikawa, and H. Sunami, Ext. abs. SSDM, pp.506–507, 2006.
- [20] Y. Tanushi, S. Yokoyama, et al., Jpn. J. Appl. Phys. 45, No. 4B, p. 3493, 2006.
- [21] M. Suzuki, S. Yokoyama, et al., Ext. Abst. SSDM, p.48,2006.
- [22] K. Takeuchi, H. Murakami and S. Miyazaki, Proc. of ECS Int. Semicond. Tech. Conf. (2003) p. 1.
- [23] S. Miyazaki, et al., ECS Trans., 2 (1), p.157, 2006, Invited.
- [24] S. Miyazaki, Proc. of Optic East 2005 : Sensors and Applications, Vols. 6002, 21 (Invited).